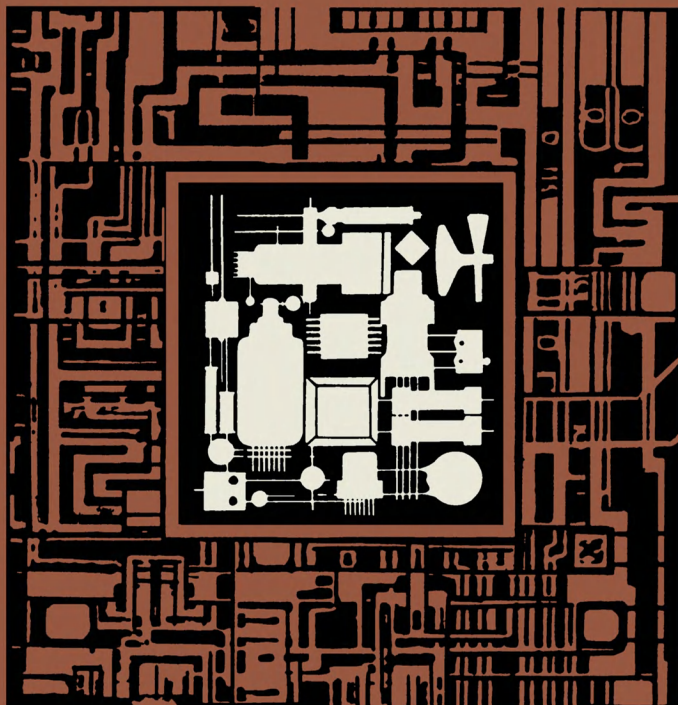


МАССОВАЯ БИБЛИОТЕКА ИНЖЕНЕРА

ЭЛЕКТРОНИКА

В.-Б.Б.АБРАЙТИС, С.Ю.СЕДАУСКАС, А.-В.В.ПЯТРАУСКАС

**МИКРОПРОЦЕССОРНЫЙ  
КОМПЛЕКТ БИС  
ВЫСОКОГО  
БЫСТРОДЕЙСТВИЯ К1800**



МАССОВАЯ БИБЛИОТЕКА ИНЖЕНЕРА  
«ЭЛЕКТРОНИКА»

В.-Б.Б.АБРАЙТИС, С.Ю.СЕДАУСКАС, А.-В.В.ПЯТРАУСКАС

**МИКРОПРОЦЕССОРНЫЙ  
КОМПЛЕКТ БИС  
ВЫСОКОГО  
БЫСТРОДЕЙСТВИЯ К1800**



МОСКВА «РАДИО И СВЯЗЬ» 1986



Scan AAW

ББК 32.97

А 16

УДК 681.325.5—181.4 : 621.3.049.771.14

РЕДАКЦИОННАЯ КОЛЛЕГИЯ:

*С. С. Булгаков (отв. редактор), Ю. И. Борзаков, М. А. Бедрековский, Г. Г. Горбунова, Л. Г. Дубицкий, В. И. Иванов, И. В. Лебедев, В. М. Ломакин, Ю. Р. Носов, Ю. Н. Рысев, В. Н. Сретенский (зам. отв. редактора), В. А. Терехов, В. Н. Уласюк, В. А. Шахнов*

**Абрайтис В.-Б. Б. и др.**

**А 16** Микропроцессорный комплект БИС высокого быстродействия К1800 / В.-Б. Б. Абрайтис, С. Ю. Седаускас, А.-В. В. Пятраускас. — М.: Радио и связь, 1986. — 184 с.: ил. — (Массовая б-ка инженера «Электроника»).

Рассмотрены конструктивно-технологические, схмотехнические и структурные особенности микропроцессорного комплекта быстродействующих больших интегральных схем (БИС) серии К1800 на эмиттерно-связанной логике. Описан принцип работы, выполняемые функции, типовые схемы применения, электрические и эксплуатационные параметры БИС комплекта, указаны области применения.

Для инженерно-технических работников, занимающихся проектированием электронно-вычислительной аппаратуры.

**А** 2403000000-067  
046(01)-86 125-86

**ББК 32.97**

Рецензенты: кандидаты техн. наук **Б. Г. Лышков,**  
**В. Г. Никитаев**

**Редакция литературы по электронной технике**

Производственное издание

**ВАЙДОТАС-БЛАЖЕЮС БЛАЖЕВИЧ АБРАЙТИС**  
**СТЯПОНАС ЮОЗОВИЧ СЕДАУСКАС**  
**АЛЬГИРДАС-ВИКТОРАС ВИКТОРОВИЧ ПЯТРАУСКАС**

**МИКРОПРОЦЕССОРНЫЙ КОМПЛЕКТ БИС ВЫСОКОГО**  
**БЫСТРОДЕЙСТВИЯ К1800**

Заведующий редакцией *Ю. Н. Рысев*. Редактор *Е. В. Вязова*  
Художественный редактор *Н. С. Шейн*

Технический редактор *Л. А. Горшкова*. Корректор *И. Г. Зыкова*

**ИБ № 1229**

---

Сдано в набор 21.06.85. Подписано в печать 28.01.86. Т-02836  
Формат 84×109<sup>1</sup>/<sub>32</sub> Бумага кн.-журн. № 2 Гарнитура литературная  
Печать высокая Усл. печ. л. 9,66. Усл. кр.-отг. 9,975. Уч.-изд. л. 10,45.  
Тираж 50 000 экз. Изд. № 20797 Зак. № 1013 Цена 50 к.  
Издательство «Радио и связь». 101000 Москва, Почтамт, а/я 693

---

Московская типография № 4 Союзполиграфпрома при Государственном комитете СССР по делам издательств, полиграфии и книжной торговли. 129041, Москва, Б. Переяславская, 46

© Издательство «Радио и связь», 1986

## Оглавление

Предисловие . . . . .	4
Список основных сокращений . . . . .	6
<b>1. Структурная организация и состав МПК К1800 . . . . .</b>	<b>8</b>
1.1. Принципы построения и классификация микропроцессорных БИС . . . . .	8
1.2. Состав и классификационные параметры БИС МПК К1800 . . . . .	13
1.3. Структурные особенности БИС МПК К1800 . . . . .	17
<b>2. Элементная база и конструктивное выполнение БИС МПК К1800 . . . . .</b>	<b>22</b>
2.1. Конструктивно-технологические особенности кристаллов БИС . . . . .	22
2.2. Схемотехнические особенности БИС . . . . .	27
2.3. Электрические принципиальные схемы логических элементов . . . . .	31
2.4. Особенности функциональных схем блоков БИС . . . . .	47
2.5. Конструктивное выполнение БИС . . . . .	50
<b>3. Электрические схемы, принцип работы и выполняемые операции БИС МПК К1800 . . . . .</b>	<b>53</b>
3.1. Арифметическо-логическое устройство . . . . .	53
3.2. Устройство микропрограммного управления . . . . .	69
3.3. Устройство синхронизации . . . . .	88
3.4. Устройство управления памятью . . . . .	96
3.5. Двухнаправленный преобразователь уровней ECL—TTL . . . . .	112
3.6. Двухадресная буферная память . . . . .	115
3.7. Двухнаправленный приемопередатчик . . . . .	124
3.8. Многоадресный программируемый сдвигатель . . . . .	127
<b>4. Электрические параметры и эксплуатационные характеристики БИС МПК К1800 . . . . .</b>	<b>140</b>
4.1. Методика контроля и контрольно-измерительная аппаратура для измерения электрических параметров БИС . . . . .	140
4.2. Электрические параметры БИС . . . . .	143
4.3. Эксплуатационные характеристики БИС . . . . .	143
<b>5. Применение БИС МПК К1800 . . . . .</b>	<b>154</b>
5.1. Расширение разрядности БИС . . . . .	154
5.2. Примеры программирования . . . . .	163
5.3. Области применения БИС МПК К1800 . . . . .	167
5.4. Расчет быстродействия устройств, реализованных на БИС МПК К1800 . . . . .	181
Список литературы . . . . .	184

## Предисловие

Вычислительная техника и микроэлектроника в тесном взаимодействии, обогащая друг друга новейшими достижениями, сегодня являются одними из определяющих отраслей промышленности. Важный результат такого взаимодействия — разработка и широкое применение новых изделий электронной техники — микропроцессорных комплектов больших интегральных схем (МПК БИС).

Успех применения МПК БИС зависит как от правильного выбора состава и структуры БИС на этапе их проектирования, так и от квалификации разработчиков аппаратуры, их умения правильно и эффективно использовать новую элементную базу. Практика показала, что процесс разработки и освоения МПК требует от инженерно-технических работников знания как схемотехники и логической структуры БИС, так и конструктивно-технологических параметров разработанных БИС и аппаратуры. Состав, основные параметры и особенности применения выпускаемых отечественной промышленностью МПК БИС подробно изложены в [1].

В настоящей книге описываются структурная организация, схемотехнические решения, принцип работы, выполняемые функции, типовые схемы применения, электрические параметры и особенности использования МПК БИС серии К1800.

На сегодняшний день БИС МПК серии К1800 отличаются самым высоким быстродействием среди выпускаемых комплектов (тактовая частота до 36 МГц) и расширяют номенклатуру серий интегральных схем, построенных на эмиттерно-связанной логике. Комплект серии К1800 полностью совместим с широко применяемыми при построении высокопроизводительных вычислительных устройств микросхемами серии К500 по электрическим и эксплуатационным параметрам, общим принципам конструктивного исполнения. Усовершенствование схемотехники и использование ряда новых конструктивно-технологических решений позволило повысить степень интеграции БИС комплекта до 1000 эквивалентных логических элементов (ЛЭ), достигнуть минимального времени задержки распространения сигнала (до 1 нс)

при существенном снижении потребляемой мощности (до 6 мВт) на один ЛЭ.

Микросхемы серии К1800 образуют функционально законченный секционированный микропроцессорный комплект, который имеет шинную организацию, внутренние регистры, схему сдвигателя и трансляторы, обеспечивающие совместную работу БИС МПК с микросхемами на транзисторной логике и полевых транзисторах. Возможность наращивания разрядности позволяет разработчикам аппаратуры проектировать процессоры с различной длиной слова и системой команд.

В целом в книге содержатся не только конкретные сведения о новом МПК БИС серии К1800, но и раскрывается специфика построения принципиальных и функциональных схем БИС на эмиттерно-связанной логике, их конструктивно-технологические особенности, обеспечивающие высокую скорость выполнения логических операций при минимальной потребляемой мощности.

Глава 1 написана В.-Б.Б. Абрайтисом, гл. 2 и 4 — С. Ю. Седаускасом, гл.3 — С. Ю. Седаускасом и А.-В.В. Пятраускасом, гл. 5 — А.-В. В. Пятраускасом.

Отзывы и пожелания по книге просим направлять по адресу: 101000 Москва, Почтамт, а/я 693, изд-во «Радио и связь».

## Список основных сокращений

Условные обозначения логических блоков и элементов микросхем по ГОСТ 2.743—82 (СТ СЭВ 3735—82)

ACC — накапливающий регистр (аккумулятор)  
ALU — арифметическо-логическое устройство  
BDT — двунаправленный приемопередатчик  
BF — буфер  
COM — устройство управления памятью  
CPU — центральный процессор  
DAM — двухадресная буферная память  
DC — дешифратор  
DCI — дешифратор управления входной шиной  
DCO — дешифратор управления выходной шиной  
F — формирователь  
FT — устройство синхронизации  
IBT — двунаправленный преобразователь уровней  
ECL — TTL  
M2 — сложение по модулю 2  
MCU — устройство микропрограммного управления  
MUX — мультиплексор  
PS — многоразрядный программируемый сдвигатель  
RGA — регистр адреса  
PGD — регистр данных  
RGF — блок регистров  
RGS — стек регистров  
T — одноступенчатый триггер  
TT — двухступенчатый триггер

### Метки функционального назначения выводов

AA, BA — адрес A, адрес B  
AB, BB — шина A, шина B  
AD — данные A  
BD — данные B  
BR — условный переход  
BYP — управление обходом регистра-фиксатора  
C — такт  
CCO — выход контроля состояния  
CO — управление  
COA — управление адресом  
COF — управление величиной сдвига  
COT — управление видом сдвига  
CP — фаза синхросигнала  
CR — перенос  
CR — MBS — перенос и старший разряд при сдвиге  
CRG — генерация группового переноса  
CRG — OF — генерация группового переноса и переполнения  
CRI — вход переноса  
CRO — выход переноса  
CRP — распространение группового переноса  
CRP — ZD — распространение группового переноса и проверка на ноль  
DE — блокировка (запрет)  
E — разрешение  
EAD — EBD — разрешение выдачи данных на шины AD или BD

- EG — ER — равенство адресов и ошибка может существовать  
 EWA, EWB — разрешение записи из шины AD или BD в память  
 EX — расширение  
 I — вход  
 IC — команда управления  
 LBS — младший разряд сдвигателя  
 LPI, LPO — вход или выход признака последней фазы  
 LSB — младший значащий разряд  
 MBS — старший разряд сдвигателя  
 MSB — старший значащий разряд  
 NA — следующий адрес  
 O — выход  
 OB — выходная шина  
 OF — переполнение  
 P — указатель  
 PC — четность переноса  
 PR — четность результата  
 R — установка выхода триггера в состояние лог. 0  
 S — установка выхода триггера в состояние лог. 1  
 SE — выбор  
 SED — выбор направления  
 SI — знаковый разряд  
 SR — установка в исходное состояние  
 ST — пуск  
 SYN — синхронизация  
 ZD — установка на нуль

#### Электрические параметры (СТ СЭВ 1817—79)

- $U_{ВВ}$  — опорное напряжение, определяющее порог переключения ЛЭ на EFL ( $-0,38$  В)  
 $U_{ВВ1}, U_{ВВ2}, U_{ВВ3}$  — опорное напряжение, определяющее порог переключения первой ( $-1,29$  В), второй ( $-2,07$  В), третьей ( $-2,85$  В) ступени ЛЭ на ECL  
 $U_{CC}$  — напряжение питания  
 $U_{CS}$  — опорное напряжение, определяющее ток переключения ЛЭ на ECL  
 $U_I$  — входное напряжение  
 $U_{IH}$  — входное напряжение высокого уровня (лог. 0)  
 $U_{ITH}$  — входное пороговое напряжение высокого уровня  
 $U_{IL}$  — входное напряжение низкого уровня (лог. 1)  
 $U_{ITL}$  — входное пороговое напряжение низкого уровня  
 $U_O$  — выходное напряжение  
 $U_{SS}$  — общий (микросхемы)  
 $U_{SSO}$  — общий (выходных транзисторов)  
 $t_H$  — время удержания сигнала  
 $t_{PD}$  — время задержки распространения  
 $t_{SU}$  — время установки сигнала

#### Обозначения в таблицах

- $\oplus$  — сложение по модулю 2  
 X — состояние не определено (или не влияет на работу)  
 — — состояние не меняется



# 1. Структурная организация и состав МПК К1800

---

## 1.1. Принципы построения и классификация микропроцессорных БИС

Современные ЭВМ, микро-ЭВМ и цифровые устройства различного функционального назначения и производительности применяются для обработки больших массивов информации, контроля и управления сложнейшими процессами. Столь широкий круг решаемых ЭВМ задач стал возможным благодаря постоянному совершенствованию их структуры, широкому использованию микропрограммного управления и существенному улучшению элементной базы. Элементную базу большинства современных микро-ЭВМ, контроллеров и других цифровых устройств составляют микросхемы с высокой степенью интеграции, в том числе и микропроцессорные БИС. Рассмотрению технических проблем на этапе разработки и применения микропроцессорных БИС уделено большое внимание в литературе [1...6]. Чтобы лучше представить основные отличительные свойства микропроцессорных БИС, область их применения, взаимосвязь с архитектурой разрабатываемой аппаратуры и применяемую при этом терминологию, вначале следует рассмотреть базисную структуру цифровой ЭВМ.

Базисная структура ЭВМ представлена на рис. 1.1 [2]. В состав ЭВМ входит четыре основных устройства: запоминающее, арифметическо-логическое, управления и ввода-вывода. Устройство управления вместе с арифметическо-логическим устройством (ALU) образует *центральный процессор*. Отдельные устройства ЭВМ соединены между собой шинами или магистралями. *Шиной* называется группа линий передачи информации, объединенных общим функциональным признаком, например шина данных, шина адресов и др. *Магистраль* — шина (линия связи), в которой поступление команд и данных разделено во времени. Одна и та же магистраль может служить для обмена информацией между несколькими устройствами. Входная информация от периферийных устройств (измерительных систем, датчиков, дисплеев, пультов управления и др.) через *устройство ввода-вывода* поступает в ЭВМ. Обработанная информация (данные, адреса и сигналы управления) выводится через устройство ввода-вывода и используется для управления периферийными устройствами. Все арифметические и логические операции выполняются в арифметическо-логическом устройстве.

В *запоминающем устройстве* хранится информация, используемая в процессе работы всей системы: обрабатываемые данные, стандартные программы, команды, промежуточные и конечные результаты. Каждое слово в запоминающем устройстве однозначно определяется своим адресом, а значение слова, представленное в двоичном коде, называется *содержимым*. Устройство управления обеспечивает реализацию заданной программы обработки данных и определяет порядок выполнения отдельных операций устройствами. *Программой* называется набор правил (инструкции), представленных в форме, воспринимаемой ЭВМ для обработки процессором дан-

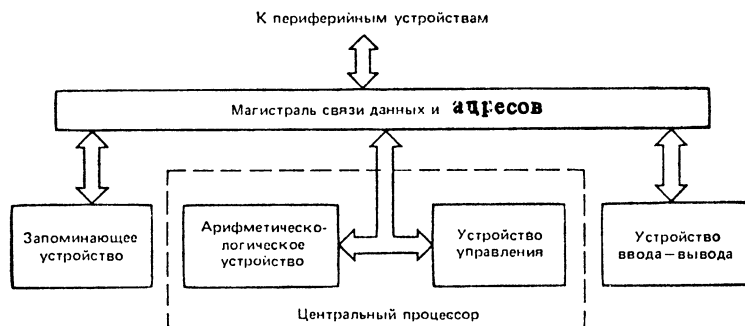


Рис. 1.1. Упрощенная структура ЭВМ

ных, хранимых в памяти. Для выполнения конкретной операции программы используются *команды*, управляющие информацией, которая определяет действия ЭВМ.

Основным устройством всей системы является *центральный процессор*, который выбирает команды и данные из запоминающего устройства или засылает их туда, задавая конкретный адрес и вырабатывая управляющий сигнал чтение-запись. Основная функция центрального процессора — дешифрация выбранной из памяти команды и проведение вычислений или выполнение действий, определяемых этой командой. Центральный процессор обрабатывает и пересылает данные или изменяет последовательность операций путем генерации набора электрических сигналов, определяющих направление передачи данных: для обработки в арифметическо-логическом устройстве либо для пересылки результата в запоминающее устройство, либо в некоторый терминал через устройство управления.

С повышением степени интеграции микросхем стало возможным реализовать на одном кристалле сложные функциональные блоки. Были разработаны принципиально новые структуры БИС, функции которых задаются внешними управляющими сигналами, изменяющимися по определенной программе. Такие микросхемы, имеющие высокую степень интеграции (обычно свыше 1000 компонентов на кристалл) и работающие согласно заданной программе, получили название *микروпроцессорных БИС (МП БИС)*. Стало возмож-

ным реализовывать ЭВМ (см. рис. 1.1) на нескольких типах МП БИС.

Микропроцессорные БИС принято разделять на три основных класса: *однокристалльные микро-ЭВМ, модульные* — на основе однокристалльных микропроцессорных БИС с фиксированным набором команд и разрядностью и *секционированные* — на основе секционированных микропроцессорных БИС с микропрограммным управлением и возможностью расширения разрядности.

*Однокристалльная микро-ЭВМ* содержит ограниченное число компонентов, включает центральный процессор с фиксированной структурой и системой команд и оперативное запоминающее устройство. Однокристалльные микро-ЭВМ — явно выраженные специализированные устройства, имеющие ограниченные области применения: контроллеры, калькуляторы, устройства управления и др.

Структурная схема *модульных МП БИС* включает: арифметическо-логическое устройство, устройства управления, ввода — вывода и запоминающие, регистры и буферные схемы, через которые производится ввод и вывод информации. Недостатком модульных МПК БИС являются: ограниченный объем обрабатываемой информации, трудности увеличения разрядности, расширения области применения и увеличения производительности. Область применения — устройства автоматизации и обработки данных, микро-ЭВМ, контроллеры и др.

*Секционированные МП БИС* включают совместимые микросхемы различного функционального назначения: арифметическо-логические, микропрограммного управления, сдвига данных, памяти, управления памятью, синхронизации, интерфейс и др., на основе которых можно реализовать микро-ЭВМ и цифровые устройства различной структуры и разрядности, кратной разрядности секции (2, 4 и 8). В зависимости от назначения разрабатываемой аппаратуры выбирается структура секционированных БИС и система микрокоманд, с помощью которых осуществляется работа блоков и взаимодействие между ними. Данные БИС открывают перед разработчиками аппаратуры широкие возможности.

В структурную схему секционированного микропроцессора с микропрограммным управлением обычно входят (рис. 1.2): арифметическо-логический блок, регистр адреса, аккумулятор, мультиплексоры А и В, дешифратор, блок регистров, фиксатор и усилители. Работа БИС управляется синхросигналами (SYN). Дешифратор преобразует поступившую микрокоманду в систему сигналов (СО1...СО7), управляющих работой остальных блоков БИС. Обрабатываемые данные из памяти через шину DA и мультиплексор А поступа-

ют в арифметическо-логический блок. Для подачи данных от периферийных устройств служит дополнительная шина ДВ. Мультиплексоры А и В, управляемые сигналами микрокоманды СО5 и СО6, выбирают данные для выполнения операции из DA и ДВ, аккумулятора и блока регистров.

Арифметическо-логический блок имеет вход CRI и выход CRO для приема и выдачи сигналов переноса, образующихся при выполнении арифметических операций или операций сдвига. Результат операции записывается в аккумулятор или регистр адреса, а

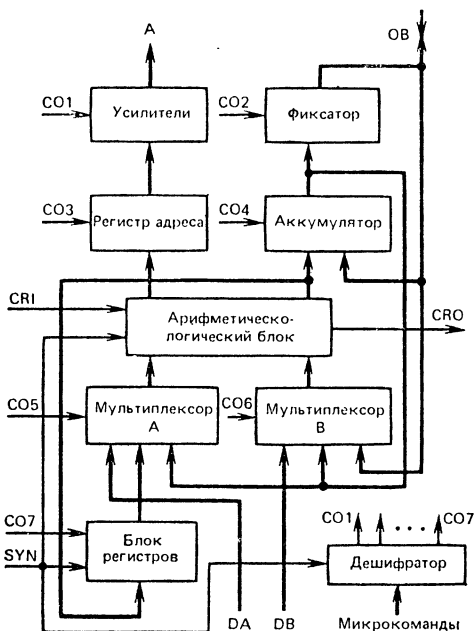


Рис. 1.2. Структурная схема секционированного микропроцессора

затем через фиксатор или усилители поступает в двунаправленную выходную шину данных ОВ или адресную шину А. БИС может выполнять арифметические и логические операции, сдвиг влево или вправо, пересылку данных между регистрами. Перечисленные операции производятся над данными и адресами. В БИС может также формироваться адрес следующей выполняемой микрокоманды.

В настоящее время наибольшее распространение получили МП БИС на основе разновидностей MOS-технологии\*

\* В книге используются сокращения английских слов для обозначения логических блоков и элементов микросхем и меток функционального назначения выводов согласно ГОСТ 2.743—82 (СТ СЭВ 3735-82). Названия технологий изготовления микросхем также даны в виде сокращения английских терминов во избежание появления двуязычных аббревиатур при описании БИС К1800ВА4.

(серии К536, К580, КР580, К581, К586, К587, К588, КР588, К1801) и интегральной инжекционной логики (I<sup>2</sup>L) (серии КР582, КР583, КР584). Требования к быстродействию предопределили развитие биполярных МП БИС на основе транзисторно-транзисторной логики с диодами Шотки (STTL) (серии К589, КР1802, КР1804) и эмиттерно-связанной логики (ECL) (серия К1800). Биполярные микропроцессорные БИС, как правило, имеют секционированную структуру с

Т а б л и ц а 1.1

Технические данные МП БИС различных серий

Параметр	К580	К581	К588	К582	К583
Технология	NMOS	NMOS	CMOS	I <sup>2</sup> L	I <sup>2</sup> L
Разрядность, бит	8	16	26	4	8
Быстродействие:					
время цикла выполнения команд, нс	2000	400	1800	1750	1000
максимальная тактовая частота, МГц	2,5	2,5...3,3	1,0	0,6	1,0
Средняя мощность, потребляемая ALU, Вт	0,75	0,5	0,05	0,2	0,75
Напряжение питания, В	+5; +12;-5	+5; +12; -12	+5	+1,5	+1,5
Число типов БИС	7	6	3	2	4
Число выводов (максимальное)	40	48	42	48	48

Продолжение табл. 1.1

Параметр	К584	К589	КР1802	КР1804	К1800
Технология	I <sup>2</sup> L	STTL	STTL	STTL	ECL
Разрядность, бит	4	2	8	4	4
Быстродействие:					
время цикла выполнения команд, нс	1000	100	150	120	40
максимальная тактовая частота, МГц	0,5	10,0	8,0	8,0	36,0
Средняя мощность, потребляемая ALU, Вт	0,13	0,725	1,2	1,2	1,3
Напряжение питания, В	+5	+5	+5	+5	-5,2; -2
Число типов БИС	3	8	6	6	8
Число выводов (максимальное)	40	28	42	40	48

Примечание. Технология CMOS — комплементарная металл — окисел — полупроводник технология.

возможностью наращивания путем объединения секционированных БИС. Обобщенные технические данные МПК БИС основных серий приведены в табл. 1.1.

Следует отметить, что обязательным условием эффективного использования МП БИС в любом вычислительном устройстве является конструктивная и технологическая совместимость всей элементной базы устройства — микросхем малой, средней и большой степени интеграции, используемых в центральном процессоре, блоках памяти, устройствах ввода-вывода и связи с периферийными устройствами. При построении современных ЭВМ средней и высокой производительности широкое применение находят БИС (в том числе и МП БИС) и схемы памяти, реализованные на микросхемах ЕСЛ серий К500 и К1800, полностью совместимых по электрическим параметрам, условиям эксплуатации и конструктивному исполнению.

## 1.2. Состав и классификационные параметры БИС МПК К1800

Структуру и возможности процессоров, реализованных на БИС микропроцессорного комплекта (МПК) серии К1800, определяют четыре основные БИС: К1800ВС1, К1800ВУ1, К1800ВВ2, К1800ВТ3. Остальные четыре БИС комплекта— К1800ВР8, К1800ВА4, К1800РП6, К1800ВА7 — расширяют состав комплекта и обеспечивают реализацию схем интерфейса, прием, хранение, сдвиг и выдачу обрабатываемой информации. Полнота функционального состава, универсальность, простота наращивания разрядности, совместимость с микросхемами серии К500 позволяют использовать комплект для построения высокопроизводительных центральных процессоров ЭВМ. Оправдывается применение его в центральных процессорах параллельных арифметическо-логических устройств для повышения быстродействия и надежности, имеется возможность обнаружения и исправления ошибок.

Классификационные параметры БИС МПК и выполняемые ими функции приведены в табл. 1.2. *Арифметическо-логическое устройство (ALU)* предназначено для выполнения 28 логических операций, 23 операции двоичной и 19 операций двоично-десятичной арифметики с комбинациями из одной, двух или трех переменных, арифметический и логический сдвиги. Операции умножения и деления выполняются под действием соответствующей команды.

Т а б л и ц а 1.2

## Классификационные параметры и функции,

Наименование БИС	Тип БИС	Число эквивалентных ЛЭ	Разрядность
Арифметическо-логическое устройство (ALU)	K1800BC1	342	4
Устройство микропрограммного управления (MCU)	K1800BY1	519	4
Устройство синхронизации (FT)	K1800BB2	101	4
Устройство управления памятью (COM)	K1800BT3	614	4
Двухнаправленный преобразователь уровней ECL — TTL (IBT)	K1800BA4	63	4
Двухадресная буферная память (DAM)	K1800PP6	1290	9
Двухнаправленный приемопередатчик (BDT)	K1800BA7	63	5
Многоразрядный программируемый сдвигатель (PS)	K1800BP8	229	16

Отличительной особенностью БИС K1800BC1 является то, что в ней реализуются операции над двоично-кодированными десятичными числами. ALU обеспечивает генерацию сигналов четности для контроля ошибок, вырабатывает признаки переполнения знака, нуля и переноса.

Блок сдвигателя ALU выполняет операции сдвига в пределах одной секции. Накапливающий регистр (накопитель) обеспечивает ускоренное выполнение многократного сложения с накопленной суммой, умножения, деление и многократный сдвиг. Совместно с накопителем используется мультиплексор, который загружает накопитель от одного из трех источников: с выхода сдвигателя, с входной или выходной шины. Четвертый вход мультиплексора управляет запретом

выполняемые БИС серии К1800

Напряжение питания, В	Потребляемая мощность, Вт	Функции
—5,2; —2	1,4	Выполняет 28 логических операций, 23 операции двоичной арифметики, 17 операций двоично-десятичной арифметики, арифметический и логический сдвиги над 4-разрядными переменными
—5,2; —2	1,6	Формирует 16 команд для осуществления последовательности операций и управления микропрограммной памятью
—5,2	0,74	Формирует синхроимпульсы до четырех фаз для различных режимов работы БИС МПК
—5,2; —2	1,7	Управляет оперативной памятью и внешними устройствами, выполняет арифметические, логические и сдвиговые операции над данными и адресами, проходящими через СОМ
—5,2; —2	0,7	Выполняет двунаправленную передачу с инверсией 4-разрядных данных с уровнями напряжения ECL и TTL и хранит передаваемую информацию
—5,2	1,8	Принимает, хранит и выдает 9-разрядные данные в двух частях памяти по 32 слова в каждой между процессором и периферийными устройствами
—5,2	0,44	Выполняет двунаправленную передачу и хранение 5-разрядных данных с уровнями напряжения ECL
—5,2	1,55	Выполняет восемь видов сдвига 16-разрядной информации

прохождения тактовых сигналов накапливающего регистра, что обеспечивает запоминание данных. Внутренний арифметическо-логический блок дает возможность кратковременно хранить промежуточные результаты счета. Схема маскирования (мультиплексор данных) осуществляет поразрядное маскирование данных, поступающих в ALU.

*Устройство микропрограммного управления (MCU)* работает совместно с ALU, формирует адреса микрокоманд и осуществляет управление последовательностью операций. Микросхема реализует 16 команд, включающих приращение на 1, прямой и условный переходы, подпрограмму и условную подпрограмму. Команды определяют источник для каждого нового адреса программно слова, что позволяет эконо-



мечь емкость микропрограммной памяти и время выборки. Используемая структура регистров и блок формирования следующего адреса позволяют производить повторение команды или подпрограммы заданное число раз без использования счетчика циклов и анализа результатов. Адрес слова можно расширить организацией памяти в формат *слово — страница*. При параллельной работе двух МСУ четыре регистра состояния адресуют 16 страниц, а восемь — 256 возможных страниц по 256 слов каждая.

*Устройство синхронизации (FT)* предназначено для выработки синхросигналов, необходимых для работы других микросхем комплекта. Число фаз выходных синхросигналов программируется от 1 до 4, длительность синхросигнала каждой фазы составляет один или два периода и устанавливается с помощью управляющих входов. Имеется возможность запоминания синхросигнала для выполнения диагностики. Восемь основных режимов работы программируются сигналами на управляющих входах микросхемы. Микросхема вырабатывает синхросигналы частотой 18 МГц.

*Устройство управления памятью (СOM)* объединяет быстродействующий процессор с оперативной памятью или периферийными устройствами системы. При наличии собственного арифметическо-логического блока и массива регистров (4 × 4) БИС выполняет 17 операций передачи данных и 13 арифметическо-логических операций. БИС содержит логику и регистры для генерирования и запоминания адресов памяти, обработки входящей и выходящей информации. В периферийных системах контроля, которые выполняют операции передачи данных с большой скоростью и не нуждаются в вычислительной мощности основного ALU, микросхема СOM может использоваться как ALU и как схема связи между устройствами.

*Двухадресная буферная память (DAM)* предназначена для работы в качестве буфера данных между быстродействующим процессором и периферийными устройствами. Схема состоит из двух частей, каждая из которых содержит 32 слова по 9 бит и адресуется независимо от другой. Считывание и запись можно производить одновременно с обеих частей. БИС может использоваться как 32 9-разрядные регистра, а также для выполнения функции стека или регистрового блока.

*Многоразрядный программируемый сдвигатель (PS)* предназначен для сдвига данных. Микросхема выполняет арифметическо-логические и циклические сдвиги вправо и влево на заданное число разрядов, блокировку выходов и рас-

пространение знакового разряда по всем выходам. БИС расширяется аналогичными микросхемами для обработки большого числа разрядов, кратных 16. Поскольку расширение осуществляется по горизонтали, то сдвигатель имеет временную задержку, равную времени задержки в одной БИС. PS применяется при выполнении операций с плавающей запятой для предварительной денормализации и выравнивания порядков.

Универсальность применения БИС МПК К1800 увеличивается благодаря тому, что в состав комплекта входят *двухнаправленный преобразователь уровней (IBT)* и *двухнаправленный приемопередатчик (BDT)*. Обе БИС содержат триггеры-фиксаторы для хранения передаваемой информации. БИС IBT позволяет также согласовывать сигналы с уровнями напряжения ECL и TTL, что допускает совместную работу БИС МПК К1800 с устройствами на микросхемах TTL и микросхемах памяти на MOS.

### 1.3. Структурные особенности БИС МПК К1800

БИС МПК серии К1800 совместно с микросхемами серии К500, реализованными на ECL, составляют элементную базу для построения высокопроизводительных микропрограммируемых процессорных устройств с произвольной системой команд. Они могут быть использованы для построения универсальных и специализированных процессоров, периферийных матричных вычислителей и контроллеров, накопителей информации на магнитных лентах и магнитных дисках. Применение БИС МПК К1800 позволяет сократить сроки проектирования, уменьшить габаритные размеры, массу и потребляемую мощность, повысить быстродействие и надежность аппаратуры. Благодаря полной совместимости БИС МПК серии К1800 с микросхемами серии К500 по уровням напряжения, условиям эксплуатации и конструктивному исполнению (вертикальное расположение выводов) значительно сокращаются сроки проектирования новых и модернизации существующих вычислительных устройств с применением этих микросхем.

Каждая микросхема МПК К1800 является расширяемой, т. е. имеется возможность наращивать разрядность устройств параллельным объединением БИС. Сигналы управления подаются на БИС параллельно, а единичные последовательные информационные сигналы (типа переноса из старшего разряда) могут подключаться с выхода старшего разряда младшей микросхемы на вход младшего разряда старшей микросхемы последовательно или через схему ускоренного переноса К500ИП179.

Все БИС МПК серии К1800, за исключением БИС К1800ВБ2 и К1800ВР8, используют двунаправленные шины, что существенно отличает их от микросхем других комплектов, значительно повышает функциональные возможности разрабатываемых устройств, в том числе допускает поточную обработку данных. *Поточная обработка* позволяет выбирать и декодировать одну инструкцию в то время, когда выполняется предыдущая, в результате увеличивается быстродействие аппаратуры.

Особенностью БИС МПК К1800 является значительное число мультиплексоров и регистров, реализованных на ECL и EFL. *Мультиплексоры* применяются для выбора источника информации, поступающей по одной или нескольким шинам, с помощью управляющих сигналов. Регистры комплекта построены на двухступенчатых D- и RS-триггерах и запоминают информацию по фронту синхросигнала. В случаях, когда информация из мультиплексора поступает на регистр, электрическая схема триггера регистра совмещается со схемой мультиплексора.

БИС МПК К1800 отличаются наибольшим быстродействием (см. табл. 1.1), что достигается благодаря использованию усовершенствованной ECL-схемотехники (уменьшению перепада уровней напряжения, применению напряжения питания — 2 В для внутренних ЛЭ, исключению мощных эмиттерных повторителей внутри БИС), уменьшению геометрических размеров компонентов\* и использованию структуры БИС с параллельной передачей информации. БИС комплекта К1800 работает с использованием сигналов синхронизации четырех фаз и двух длительностей, которые формируются в БИС синхронизации К1800ВБ2.

Существенное расширение функциональных возможностей комплекта определяется наличием двух микросхем (К1800ВС1 и К1800ВТ3), содержащих внутренние АЛУ, и микросхемы сдвигателя К1800ВР8. Данные в АЛУ обрабатываются в двоично-десятичном коде в режимах с фиксированной и плавающей запятой, а также выполняется большое число операций нечислового характера.

Анализ схем, описание принципа работы и обработка информации всеми БИС МПК серии К1800 проводятся с использованием отрицательной логики: напряжению низкого уровня на входе ( $U_{IL}$ ) или выходе ( $U_{OL}$ ) соответствует лог. 1 (1) и напряжению высокого уровня на входе ( $U_{IH}$ ) или выходе ( $U_{OH}$ ) соответствует лог. 0 (0).

Структурная схема микропрограммируемого процессора представлена на рис. 1.3. и состоит из четырех основных

---

\* Для исключения неоднозначности и путаницы с термином «логический элемент» в книге вместо термина «элемент микросхемы» используется термин «компонент микросхемы».

БИС (К1800ВС1, К1800ВУ1, К1800ВТ3 и К1800ВБ2), блока регистров и управляющей (микропрограммой) памяти, построенной на базе ИС серии К500. *Микропрограммная память* хранит микрокоманды, используемые для работы процессора. Приведенная структурная схема иллюстрирует принцип реализации быстродействующего микропрограммируемого процессора и взаимодействие между БИС.

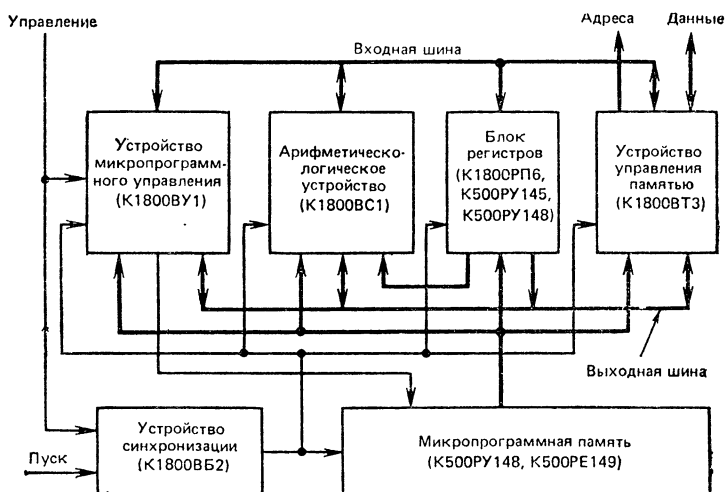


Рис. 1.3. Структурная схема микропрограммируемого процессора

Рисунок 1.4 иллюстрирует принципы реализации микропрограммируемого процессора в вычислительной системе, построенной на всех БИС МПК серии К1800. Для хранения обрабатываемой информации, связи с внешними устройствами и оперативным запоминающим устройством (ОЗУ) используются микросхемы серии К500 (К500ПУ124, К500РУ145, К500РУ148, К500РЕ149, К400ТМ173 и К500КП174) и микросхема ОЗУ К565РУ5. Конкретные процессоры и другие устройства различных ЭВМ могут быть реализованы и по-другому, в зависимости от области применения.

Работа рассматриваемой вычислительной системы синхронизируется микросхемой К1800ВБ2. Вырабатываемые ей синхросигналы поступают на все устройства. После поступления синхросигналов и сигналов управления от устройства микропрограммного управления микропрограммная память (К500РУ148, К500РЕ149) выдает слова микропро-

граммы для выполнения очередной микрокоманды. Каждое слово микропрограммы разделено на поля (группы разрядов), которые осуществляют независимое управление отдельными устройствами. Так как все поля существуют в одно и то же

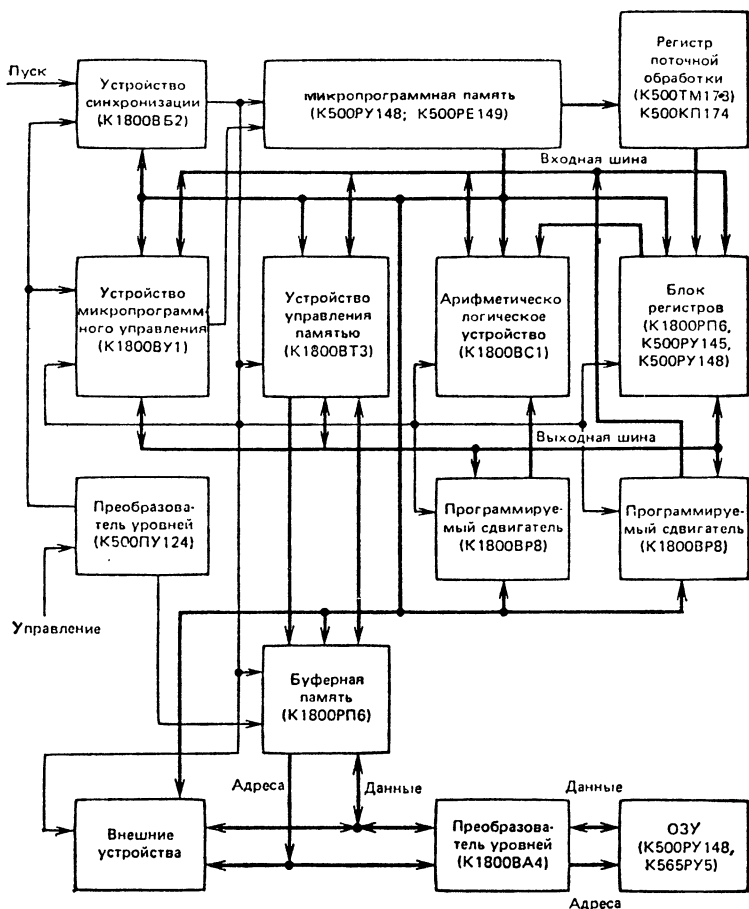


Рис. 1.4. Структурная схема микропрограммируемой вычислительной системы на БИС МПК К1800

время, то различные устройства могут работать одновременно, что способствует повышению быстродействия системы при выполнении микрокоманды. Для выполнения одной машинной команды может использоваться несколько микрокоманд. Поэтому производительность системы определяется

как числом микрокоманд в машинной команде, так и временем выполнения каждой микрокоманды. Для БИС МПК К1800 оно составляет 100 нс.

Центральным блоком системы является ALU (БИС К1800ВС1), выполняющее арифметические, логические и сдвиговые операции над данными в самом устройстве, блоке регистров и устройстве управления памятью. Данное ALU работает в двоичном или двоично-десятичном коде и управляется полем микропрограммы ALU. Применение БИС программируемых сдвигателей (К1800ВР8) совместно с БИС К1800ВС1 позволяют сдвигать обрабатываемую информацию на любое число разрядов. Так как сдвиг данных в БИС К1800ВР8 происходит за 5...8 нс и отдельное поле ALU в микропрограммной памяти одновременно управляет БИС К1800ВС1 и К1800ВРВ, значительно увеличивается производительность системы. Структура шин системы позволяет ALU генерировать адреса микропрограммы.

Работа системы может быть объяснена связью полей микропрограммы с функциональными блоками. Два поля (команды и адреса) управляющие БИС К1800ВУ1, генерируют адрес каждой следующей микропрограммы. Поле команды выбирает одну из 16 команд для управления микропрограммной памятью. Устройство микропрограммного управления содержит логическую структуру, необходимую для формирования команды. Однако для выполнения некоторых команд требуется дополнительная информация. Например, для команды перехода к следующему адресу (JUMP) или перехода к подпрограмме (JSP) необходимо указать место назначения перехода, который выдается следующим адресом поля микропрограммы.

Достоинством БИС К1800ВУ1 является возможность направлять следующий адрес через выходную шину для арифметическо-логического устройства. Большинство микропрограмм меняется во время работы всей системы, так как от других устройств (ALU и COM) или от внешних устройств поступает информация об установке нуля, переполнении, знаковом разряде и т. д. Устройство микропрограммного управления проводит обработку данной информации и направляет следующий адрес по выходной шине к арифметическо-логическому устройству или к устройству управления оперативной памятью (К1800ВТ3), которая обрабатывает и выводит адреса и данные для оперативной памяти.

В качестве блока регистров используются БИС К1800РП6 и микросхемы ОЗУ К500РУ145 и К500РУ148. Применение БИС К1800РП6 позволяет одновременно считывать и записывать инфор-

мацию в блок регистров через входную и выходную шины. Микросхема К1800РП6 применяется и для организации буферной памяти, осуществляющей связь процессора с внешними устройствами и с оперативной памятью. Для сопряжения буферной памяти с внешними устройствами или памятью на TTL- или MOS-схемах используются преобразователи уровней (К1800ВА4). Двухнаправленная шина данных в К1800РП6 легко подключается к системе, так как позволяет запоминать входящие и выходящие данные.

## 2. Элементная база и конструктивное выполнение БИС МПК К1800

### 2.1. Конструктивно-технологические особенности кристаллов БИС

Микросхемы на ECL отличаются высоким быстродействием, гибкостью при построении логических устройств, незначительным изменением тока потребления от частоты переключения и небольшими внутренними помехами. Однако их применение сдерживалось из-за сравнительно большой потребляемой мощности (25 мВт на один ЛЭ для микросхем средней степени интеграции). Поэтому традиционные методы проектирования не могут применяться при разработке БИС с числом ЛЭ на кристалле 1000 и более.

В табл. 2.1 приведены основные характеристики микросхем серий К500 и К1800. Конструктивно-технологическое совершенствование БИС позволило увеличить число компонентов на кристалле в четыре раза, а использование современных схмотехнических решений позволило уменьшить

Таблица 2.1

Основные характеристики ИС (К500) и БИС (К1800)

Наименование параметра	ИС	БИС
Число компонентов в эквивалентном ЛЭ	14	6.5
Число компонентов на 1 мм <sup>2</sup>	55	220
Число эквивалентных ЛЭ/мм <sup>2</sup>	3...5	45
Мощность, потребляемая одним ЛЭ, мВт	25	4,5
Время задержки, нс	2,5	1...1,5
Число фотолитографий	12	11
Число диффузий	6	4
Минимальный размер, мкм	4	3

число компонентов в одном эквивалентном ЛЭ в два раза. В результате плотность размещения эквивалентных ЛЭ на кристалле увеличилась на порядок при потребляемой мощности 4,5 мВт на один ЛЭ. Следует отметить, что значительное улучшение основных характеристик было достигнуто без особого ужесточения геометрических размеров компонентов и технологии изготовления. Минимальный размер элементов микросхем составляет 3 мкм при точности формирования рисунка около 1 мкм.

Технологический процесс изготовления БИС состоит из 11 фотолитографических и 4 диффузионных процессов. Упрощение технологического процесса изготовления БИС по сравнению с процессом из-

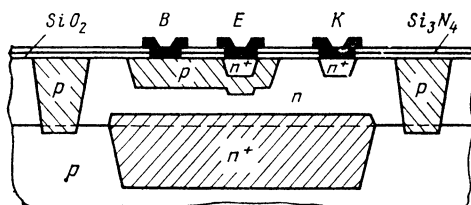


Рис. 2.1. Типовая структура кристалла БИС в разрезе

готовления ИС достигнуто благодаря отсутствию двух слоев: подлежающего слоя контактов базы ( $p+$ ) и глубокого коллектора. Типовая структура кристалла БИС приведена на рис. 2.1. Используются эпитаксиальные пластины с ориентацией [111], толщиной эпитаксии 3,5 мкм, удельным сопротивлением 0,5 Ом·см и со скрытым слоем с поверхностным сопротивлением 25 Ом/□. Изоляция элементов на кристалле выполняется  $p-n$  переходами.

Отсутствие подлежающего слоя базовых контактов  $p+$  повышает требования к точности формирования базы. Известно, что наибольшая воспроизводимость электрических параметров компонентов ( $h_{21E}$ ,  $R_{SB}$ ) достигается при ионном легировании. Поэтому для изготовления БИС серии К1800 было использовано ионное легирование при формировании базы транзисторов и резисторов с поверхностным сопротивлением  $R_{SB} = 550$  Ом/□. Для уменьшения внесимых дефектов на поверхности полупроводника имплантация базы проводится через окисел, т. е. маскирование во время процесса выполняет только фоторезист. Формирование высокоомных (около 30 кОм) шунтирующих резисторов входных ЛЭ выполняется в базовом слое, «прижатом» эмиттером, при этом достигается высокое поверхностное сопротивление (12 кОм/□).

Точность формирования и геометрические размеры эмиттера и контактных окон в значительной степени определяют размеры компонентов. Для повышения точности поверхность пластины покрывается двойным маскирующим слоем двуокиси кремния ( $SiO_2$ ) и нитрида кремния ( $Si_3N_4$ ), а задающие размеры окон эмиттера и соединяющих с базовыми областями формируются одновременно. Это исключает сдвиг окон эмиттера относительно контактных окон базы из-за



рассовмещения фотошаблонов этих слоев в процессе изготовления. Другим преимуществом двойного маскирования является снижение числа дефектов, образующихся при вскрытии окон.

Успех изготовления годных кристаллов БИС сильно зависит от качества двухслойной металлизации. Первый и второй слой металлизации из пленок Al—Si (содержащие кремния 1%) наносятся на поверхность пластины. Изолирующим слоем служат два слоя плазмохимического окисла, в которых формируются окна, соединяющие слой металлизации.

Основные технические характеристики компонентов рассматриваемых БИС приведены в табл. 2.2. Число типов транзисторов одной БИС зависит от применяемых ЛЭ и структуры БИС. Всегда выбираются транзисторные структуры с минимальными размерами, обеспечивающие заданные электрические параметры. Поэтому число типов транзисторов в одной БИС достигает 43 и зависит от максимального тока эмиттера. В основном это маломощные транзисторы, работающие при токах эмиттера 1... 2,5 мА, и только транзисторы

Таблица 2 2

Технические характеристики компонентов  
быстродействующих БИС

Наименование параметра	Значение		
	минимальное	типовое	максимальное
Площадь транзистора, мкм <sup>2</sup>	1300	2000	16 000
Ширина эмиттера, мкм	3	4	5
Ширина проводников, мкм:			
одна металлизация	6	8	
две металлизации	6	10	
Зазор между проводниками, мкм:			
одна металлизация	4	4	
две металлизации	6	6	
Размеры окон в межслойной изоляции, мкм	8×13	12×16	13×18
Максимальный ток эмиттера, мА	2	2,5	40
Статический коэффициент усиления	70	100	140
Сопротивление тела коллектора, Ом	10	30	40
Граничная частота, ГГц	1,5	1,8	2,2

основного источника опорных напряжений и выходных ЛЭ работают при токе эмиттера 5...10 мА. Рабочий ток транзисторов выходных эмиттерных повторителей достигает 40 мА.

Резисторы (кроме входных высокоомных) всех БИС формируются в слое базы с  $R_{SB} = 550 \text{ Ом}/\square$  с точностью не

менее  $\pm 20\%$ , что достигается без особых трудностей. Такой точности вполне достаточно для БИС с перепадом напряжений  $0,7 \dots 0,8$  В. Однако необходимо отметить, что номинал большинства резисторов составляет  $100 \dots 200$  Ом, т. е. в несколько раз меньше номинала  $R_{SB}$ . При точности формирования длины и ширины резисторов  $1$  мкм и стремлении не превышать общую погрешность  $\pm 20\%$  необходимо параллельное включение нескольких резисторов:  $N = 1 \dots 1,5 R_{SB}/R$ , где  $R$  — номинал резистора, Ом.

Оптимальное расположение компонентов на кристалле, минимальная длина межсоединений и обеспечение стабильного электрического режима при изменении температуры и напряжения питания в значительной степени определяют быстродействие БИС на ECL. Учитывая, что скорость обработки информации в БИС прямо пропорциональна длине межсоединений и паразитным емкостям всех компонентов, следует особое внимание уделять конструктивному выполнению БИС. Можно выделить несколько общих правил конструктивного выполнения таких БИС:

отдельные логические схемы БИС располагаются так, чтобы они занимали наименьшую площадь и чтобы соединяющие проводники имели наименьшую длину;

мощные выходные транзисторы, размещаются непосредственно у контактных площадок выводов и подключаются к общей шине (см. рис. 2.2, а);

общая шина и шина питания проходят в обоих слоях металлизации и делаются большей ширины с таким расчетом, чтобы максимальное падение напряжения на них не превышало соответственно  $40$  и  $60$  мВ для наихудшего случая;

резисторы на кристалле размещаются так, чтобы их один конец (контактное окно) подключался непосредственно к общей шине или шине питания, а другой — к транзисторам схемы;

входные высокоомные резисторы и корректирующие цепочки размещаются непосредственно у контактных площадок соответствующих выводов (рис. 2.2, б);

стабилизация тока переключения ЛЭ проводится от одного источника опорных напряжений; электрическая схема и геометрические размеры компонентов источника выполняются индивидуальным их подбором;

входы БИС расположены по одной стороне (левой), а выходы по противоположной стороне кристалла, что сокращает путь прохождения сигналов.

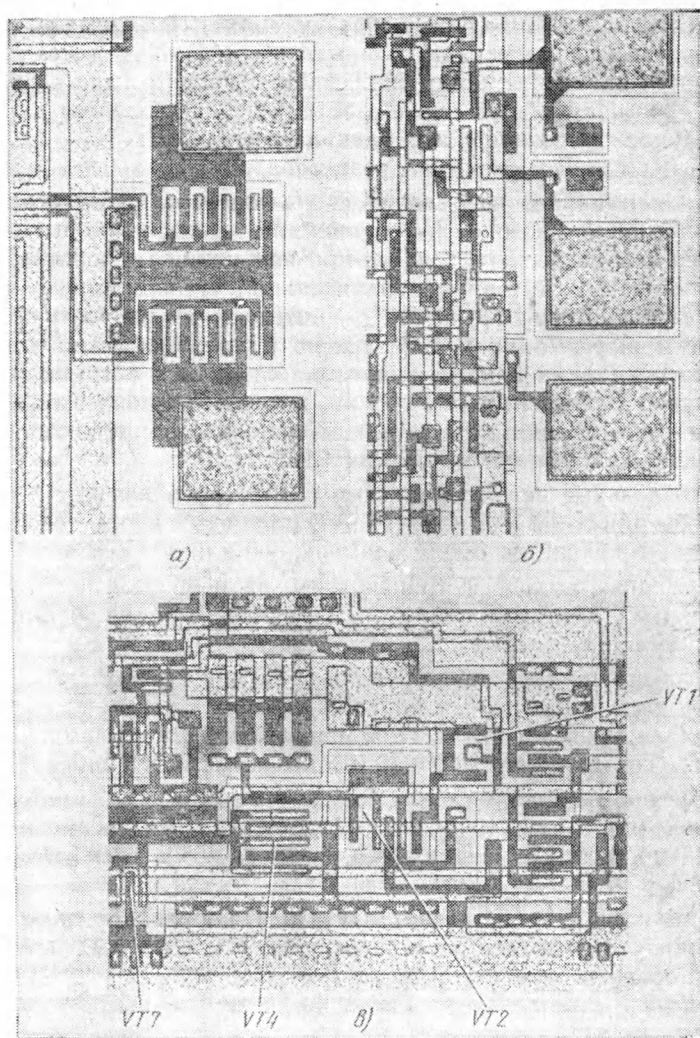


Рис. 2.2. Расположение компонентов по периметру кристалла у контактных площадок выходов (а), входов (б) и в источнике опорного напряжения (в)

## 2.2. Схемотехнические особенности БИС

Следствием увеличения степени интеграции микросхем явилось то, что значительная часть ЛЭ стала размещаться внутри кристалла, где воздействие дестабилизирующих внешних факторов значительно меньше. Данное обстоятельство и широкие логические возможности схем на ECL позволяют изыскивать наилучшие схемотехнические решения и пути уменьшения потребляемой мощности. Основные технические решения при выборе элементной базы быстродействующих микросхем рассмотрены в [7...10], но успех конкретной реализации БИС с желаемыми параметрами в значительной степени зависит от умения разработчика выбрать оптимальные решения. Сохранение высокого быстродействия, уменьшение потребляемой мощности и получение приемлемого процента выхода годных БИС в производстве достижимо в том случае, когда разработчик хорошо знает возможности технологии, сам может определить конструкцию кристалла, структуру шин, размер слова и набор команд в разрабатываемых БИС. В серии К1800 максимально использованы возможности оптимизации перечисленных параметров для получения высокого быстродействия.

Технические характеристики БИС серии К1800 приведены в табл. 2.3, а характеристики ЛЭ — в табл. 2.4. Из приведенных данных следует, что во всей серии и в отдельных

Таблица 2.3

Технические характеристики БИС серии К1800

Наименование параметра	Значение		
	минимальное	типовое	максимальное
Число компонентов:			
в одной БИС	361	2000	7235
на 1 мм <sup>2</sup>	141	220	346
Число эквивалентных ЛЭ:			
в одной БИС	63	400	1290
на 1 мм <sup>2</sup>	25	45	62
Число типов транзисторов в одной БИС	15	30	43
Средняя мощность, потребляемая одним эквивалентным ЛЭ, мВт	1,5	4,5	11
Удельная мощность на кристалле, мВт/мм <sup>2</sup>	73	120	150
Отношение числа эквивалентных ЛЭ в БИС к числу выводов корпуса	6	8,5	25

Таблица 2.4

**Сравнительные характеристики быстродействующих ЛЭ  
БИС серии К1800**

Наименование параметра	Значение		
	входные ЛЭ	внутренние ЛЭ	выходные ЛЭ
Напряжение питания, В	—5,2	—2,0; —5,2	—5,2
Амплитуда сигнала, В	0,8	0,7...0,8	0,8
Ток переключения, мА	1,4	1,2	4,5
Уровни напряжения, В:			
$U_{IH}$	—0,85	—0,05	—0,05
$U_{IL}$	—1,75	—0,8	—0,8
$U_{OH}$	—0,05	—0,05	—0,85
$U_{OL}$	—0,8	—0,8	—1,75
Время задержки, нс	1,5	1...2,0	1,5...2,0
Число типов ЛЭ в серии:			
всего	20	50	14
основных	5	18	4
Число типов ЛЭ в одной БИС	3...13	4...40	1...7

БИС используются довольно большое число типов транзисторов и ЛЭ. Наряду с этим следует отметить, что основных типов ЛЭ значительно меньше, чем их общее число и составляет всего около 27 типов.

Можно выделить несколько общих схемотехнических правил при выборе элементной базы БИС серии К1800:

Логические элементы делятся на входные, внутренние и выходные; их электрические схемы и конструктивное выполнение существенно отличаются;

входные и выходные ЛЭ питаются напряжением — 5,2 В и обеспечивают совместную работу БИС по входным и выходным уровням напряжения с микросхемами серии К500 или другими микросхемами на ECL с аналогичными параметрами;

минимизация числа компонентов внутренних ЛЭ осуществляется путем широкого использования логических схем на эмиттерно-функциональной логике (EFL) (в некоторых БИС число их достигает 30...40%), двухступенчатых схем на ECL и EFL, одного нагрузочного резистора для нескольких ЛЭ и схем Монтажное И;

снижение потребляемой мощности (в основном внутренних ЛЭ) реализуется уменьшением амплитуды сигналов до 0,7 В, использованием напряжения питания — 2,0 В для одноступенчатых ЛЭ, исключением схем мощных выходных эмиттерных повторителей на ECL и уменьшением переключаемого тока ЛЭ до 1 мА.

Особенно важным фактором следует считать стабилизацию электрического режима и электрических параметров БИС на ECL. Стабилизация тока переключения  $I_{CS}$  ЛЭ при

изменении напряжения питания и температуры окружающей среды обеспечивается использованием стабилизированного источника опорных напряжений (рис. 2.3, а). Принцип работы [11] источника заключается в том, что изменение напряжения, обусловленное влиянием отрицательного температурного коэффициента  $dU_{BE}/dT$  на переходе В — Е транзисторов, компенсируется изменением напряжения, обусловленным влиянием положительного коэффициента  $d\Delta U_{BE}/$

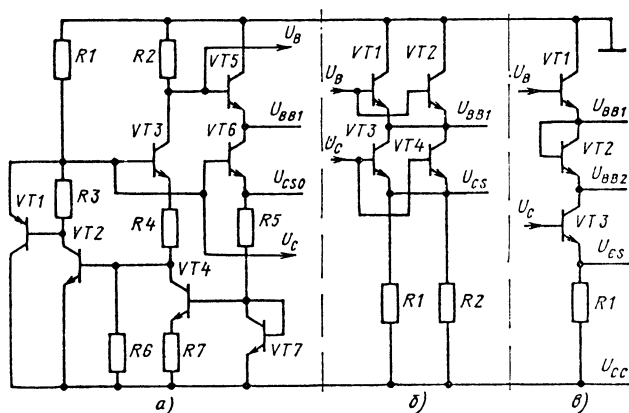


Рис. 2.3. Электрические принципиальные схемы основного источника опорного напряжения (а) и эмиттерных повторителей для формирования напряжений  $U_{BB1}$ ,  $U_{CS}$  (б) и  $U_{BB1}$ ,  $U_{BB2}$  (в)

$/dT$  (получаемым выбором разных токов  $I_{E4}$ ,  $I_{E7}$  и геометрических размеров транзисторов  $VT4$ ,  $VT7$ ). В схеме источника (рис. 2.2, в) используется  $p-n-p$  транзистор  $VT1$  с коллектором на подложке и коэффициентом усиления  $10...16$  и  $n-p-n$  транзистор  $VT2$  с увеличенной емкостью на базе для предотвращения генерации, а также подавления низкочастотных пульсаций ( $0...10$  кГц), поступающих по цепям питания и общей шине.

Выбор оптимального электрического режима работы источника и геометрических размеров компонентов обеспечивает почти полную независимость токов переключения ЛЭ и уровней выходного напряжения БИС от изменения напряжения питания. При расчетных значениях номиналов резисторов и геометрических размеров компонентов источника

опорные напряжения:

$$U_{BB1} = - \left( \frac{h_{21E}}{1+h_{21E}} \frac{\Delta U_{BE}}{R_7} + \frac{U_{BE2}}{R_6} \right) R_2 - U_{BE5},$$

$$U_{CSO} = \left( \frac{h_{21E}}{h_{21E}+1} \frac{\Delta U_{BE}}{R_7} + \frac{U_{BE2}}{R_6} \right) R_4 + U_{BE2},$$

где  $U_{BB1}$  — опорное напряжение, определяющее порог переключения ЛЭ;  $U_{CSO}$  — опорное напряжение, обеспечивающее стабилизацию тока переключения;  $h_{21E}$  — статический коэффициент усиления;  $U_{BE2}$ ,  $U_{BE5}$  — падение напряжения на переходах база — эмиттер (В — Е) транзисторов VT2 и VT5;  $R_2$ ,  $R_6$ ,  $R_7$  — резисторы. Следует отметить, что напряжение  $U_{BB1}$  определяется относительно общей шины, а  $U_{CSO}$  относительно шины питания, поэтому и стабилизация данных параметров должна выполняться таким же образом. Если принять  $h_{21E}/(h_{21E} + 1) = 1$ ;  $R_2/R_6 \ll 1$ ;  $R_4/R_6 \ll 1$ ;  $U_{BE2} = U_{BE5}$ ;  $U_{BE2} = U_{BE6}$  (практически это всегда выполняется), то

$$U_{BB1} = -(\Delta U_{BE}/R_2) R_2 - U_{BE5}; U_{CSO} = (\Delta U_{BE}/R_7) R_4 + U_{BE6}$$

Для увеличения нагрузочной способности источника опорных напряжений и стабилизации опорных напряжений  $U_{BB1}$ ,  $U_{BB2}$ ,  $U_{CS}$  логических элементов в БИС применяются эмиттерные повторители (см. рис. 2.3, б, в). Таким образом, рассмотренная система формирования опорных напряжений используется для всех БИС комплекта К1800 и обеспечивает следующие типовые значения стабилизированных опорных напряжений:

$$U_{BB1} = -1,29 \text{ В (порог первой ступени),}$$

$$U_{BB2} = -2,07 \text{ В (порог второй ступени),}$$

$$U_{BB3} = -2,85 \text{ В (порог третьей ступени),}$$

$U_{CS} = -3,75 \text{ В (для формирования тока переключения).}$

Для внутренних одноступенчатых ЛЭ на EFL и для некоторых ЛЭ на ECL используются опорные напряжения  $U_{BB} = -0,38 \text{ В}$ , формируемые простым делителем напряжения из диода и двух резисторов.

Совокупность заложенных схемотехнических и конструктивных решений позволили достигнуть хорошей стабилиза-

ции уровней выходного напряжения  $U_{OH}$  и  $U_{OL}$ :

$dU_{OH}/dU_{CC} = 0,3...0,5$  мВ/%;  $dU_{OL}/dU_{CC} = 0,6...0,8$  мВ/%;

$$dU_{OH}/dT = -1,2...1,8 \text{ мВ}^\circ\text{C}; \quad dU_{OL}/dT = \\ = -0,1...0,2 \text{ мВ}^\circ\text{C}.$$

БИС комплекта К1800 обеспечивают помехоустойчивость 150...200 мВ (125 мВ при наилучшем сочетании всех дестабилизирующих факторов) при изменении температуры от  $-30$  до  $+85^\circ\text{C}$ , напряжения питания от  $-4,6$  до  $-5,8$  В и разбросе номиналов резисторов на  $\pm 20\%$ .

### 2.3. Электрические принципиальные схемы логических элементов

Комплект быстродействующих БИС серии К1800 отличается разнообразием схемотехнических решений ЛЭ. Так, в комплекте используется 20 типов входных, 50 типов внутренних и 14 типов выходных ЛЭ, но основных типов ЛЭ в три раза меньше (см. табл. 2.4). Состав и данные основных ЛЭ комплекта К1800 приведены в табл. 2.5.

Логические операции выполняются ЛЭ комплекта серии К1800 с применением отрицательной логики: напряжения низкого уровня на входе ( $U_{IL}$ ) и на выходе ( $U_{OL}$ ) составляют  $-1,85...-1,65$  В (лог. 1), а напряжения высокого уровня на входе ( $U_{IH}$ ) и на выходе ( $U_{OH}$ ) составляют  $-0,96...-0,81$  В (лог. 0).

Электрические принципиальные схемы и условные графические обозначения 27 типов ЛЭ комплекта К1800 приведены на рис. 2.4... 2.29, где 5 типов схем являются входными (I), 18 типов — внутренними (M) и 4 типа — выходными (O). Принципы проектирования аналогичных логических элементов на ECL и EFL изложены в [7,8]. Рассмотрим функционирование ЛЭ МПК К1800, основные электрические параметры, отличительные особенности и области применения.

Входные ЛЭ построены только на ECL-схемах и обеспечивают полную совместимость БИС комплекта К1800 с микросхемами серии К500 по уровням входного напряжения и условиям эксплуатации. Электрическая принципиальная схема и графическое обозначение наиболее простого входного одноступенчатого ЛЭ на ECL приведены на рис. 2.4. На входах данных ЛЭ всегда подключаются высокоомные резисторы  $R3...R5$  (25...30 кОм). Переключаемый ток ЛЭ составляет  $1...1,5$  мА, стабилизацию его выполняют транзистор VT5, резистор R6 и опорное напряжение  $U_{CS}$  ( $-3,75$  В). Порог переключения определяется опорным напряжением  $U_{ВВ1}$



Таблица 2.5

## Состав и основные данные ЛЭ МПК К1800

Условное обозначение ЛЭ	Номер рисунка	Тип ЛЭ	Выполняемая функция	$I_{CS}$ , мА	$U_{CC}$ , В
ЛЭ1	2.4	I	$Y = ABC$	1,4	-5,2
ЛЭ2	2.5	I	$Y = A$	0,9	-5,2
ЛЭ3	2.6	I	$Q^{n+1} = D^n CVQ^n \bar{C}$	1,5	-5,2
ЛЭ4	2.7	I	$Y1 = AB; Y2 = A\bar{B};$ $Y3 = AB; Y4 = A\bar{B}$	1,5	-5,2
ЛЭ5	2.8	I	$Y = ABVDC$	1,5	-2; -5,2
ЛЭ6	2.9, а	М	$Y = AB$	1	-2
ЛЭ7	2.9, в	М	$Y = AB$	1	-2
ЛЭ8	2.10	М	$\bar{Y} = \overline{ABCD}$	1,2	-5,2
ЛЭ9	2.11	М	$Y = Y1 = ABC; Y2 = AC$	0,2	-5,2
ЛЭ10	2.12	М	$Y = A\bar{B}V\bar{A}B$	1,5	-5,2
ЛЭ11	2.13	М	$\bar{X} = \overline{AVB}; Y = AB; Z = A\bar{B}V\bar{A}B$	2,5	-5,2
ЛЭ12	2.14	М	$Y = ABC + \bar{A}B\bar{C} + \bar{C}$	1,5	-5,2
ЛЭ13	2.15	М	$Y = ABV CDV EF$	1,2	-2
ЛЭ14	2.16	М	$Y = A1B1V A2B2V A3B3V CVA4B4$		
ЛЭ15	2.17	М	$Y = ABVAC$	1,5	-5,2
ЛЭ16	2.18	М	$Y = ABV\Lambda EVCDE$	1,2	-5,2
ЛЭ17	2.19	М	$Y = A\oplus B\oplus C$	1,2	-5,2
ЛЭ18	2.20	М	$Q^{n+1} = D^n CVQ^n \bar{C}$	1,2	-5,2
ЛЭ19	2.21	М	$Q^{n+1} = S^n C^n \sqrt{R^n} \bar{C}^n Q^n$	1,2	-5,2
ЛЭ20	2.22	М	$Q^{n+1} = S^n C^n \sqrt{C}^n Q^n$	1,4	-2
ЛЭ21	2.23	М	$Q^{n+1} = S^n C^n \sqrt{R^n} \bar{C}^n Q^n$	1,4	-5,2
ЛЭ22	2.24	М	$Q^{n+1} = \bar{K}^n Q^n V J^n \bar{Q}^n$ при $T1 = T2 = 1;$ $Q^{n+1} = \bar{T}^n Q^n + T^n Q^n$ при $J = K = 1$	1,4	-5,2
ЛЭ23	2.25	О	$Q^{n+1} = S^n \sqrt{R^n} \bar{C}^n Q^n$	1,2; 4,5	-5,2
ЛЭ24	2.26	М	Принимает, хранит и выдает данные	1	-5,2
ЛЭ25	2.27	О	$Y = ABC$	4,5	-5,2
ЛЭ26	2.28	I, О	$Y = \bar{A}; X = A\bar{Y}$	1; 4,5	-5,2
ЛЭ27	2.29	I, О	$Y1 = \bar{C}\bar{D}V\bar{A}\bar{B}\bar{C}$	1; 4,5	-5,2

Примечание. I — входной ЛЭ, М — внутренний, О — выходной.

(— 1,29 В). В зависимости от назначения логической схемы могут использоваться от одного до четырех входов, один или два выхода. ЛЭ данного типа применяется для построения большинства БИС комплекта К1800.

Входной буферный усилитель (рис. 2.5) применяется для уменьшения влияния возникающих на входе микросхем помех и развязки входного сигнала для управления несколькими схемами. Схема построена с применением высокоомного резистора R2 (30 кОм), низкоомного резистора R2 (50 Ом),

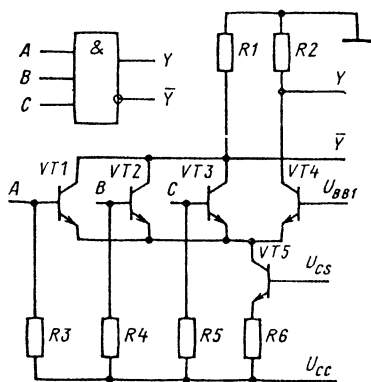


Рис. 2.4. Входной одноступенчатый ЛЭ на ECL

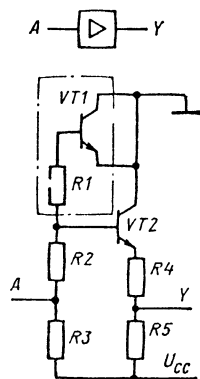


Рис. 2.5. Входной буферный усилитель

дифференцирующей цепочки из R1 и VT1 и эмиттерного повторителя с делителем напряжения из R4 и R5. Типичным является использование данного усилителя в синхронизируемом уровне D-триггере, применяемом для построения блоков входных фиксаторов БИС (рис. 2.6). Триггер построен на двухступенчатой ECL-схеме с бистабильной ячейкой на транзисторах VT4, VT5. Ток переключения составляет 0,5 мА, стабилизация его (как и тока всех других двухступенчатых схем ECL) обеспечивается генератором тока на транзисторе VT9, резисторе R8 при опорном напряжении Ucs. Данный D-триггер работает как «защелка» при напряжении высокого уровня на синхронизирующем входе С. При напряжении низкого уровня на входе С триггер хранит информацию и информация на входе D не оказывает влияния на состояние триггера.

Дешифратор с входным буферным усилителем на входе (рис. 2.7) применяется при дешифрации сигналов управления. Двухступенчатая ECL-схема работает при токе пере-

ключения 1,5 мА, стабильность порогов переключения обеспечивается опорными напряжениями  $U_{BB1}$  (первая ступень) и  $U_{BB2}$  (вторая ступень).

Уменьшение числа компонентов в одном эквивалентном ЛЭ достигается при совместном использовании ECL- и EFL-

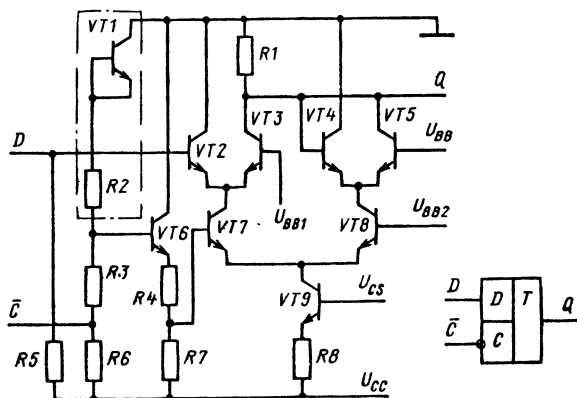


Рис. 2.6. Входной синхронизируемый D-триггер

схем. На рис. 2.8 приведены принципиальная схема и графическое обозначение входного комбинированного ЛЭ на ЭСЛ и EFL-схемах. Ток переключения обеих схем составляет 1,5 мА и стабилизируется опорным напряжением  $U_{CS}$ . По-

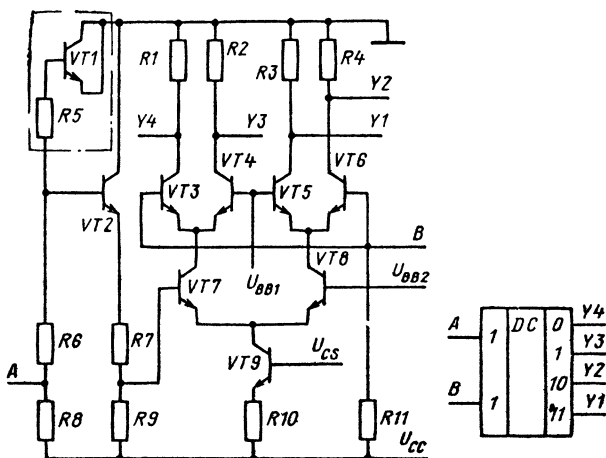


Рис. 2.7. Входной двухступенчатый дешифратор

рог переключения ECL-схемы —  $U_{BB1} = -1,29$  В, а порог переключения ЭFL-схемы —  $U_{BB} = -0,38$  В. Отличительной особенностью данной схемы является то, что рабочий ток одного из эмиттеров транзистора VT2 обеспечивается напряжением питания  $U_{CC2} = -2,0$  В, что уменьшает потребляемую мощность ЛЭ, но усложняет соединение про-

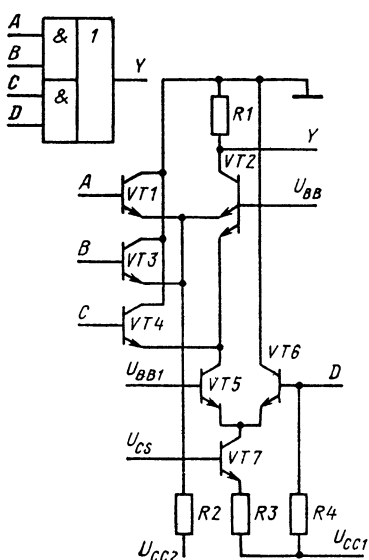


Рис. 2.8. Входной двухступенчатый ЛЭ на ECL и EFL

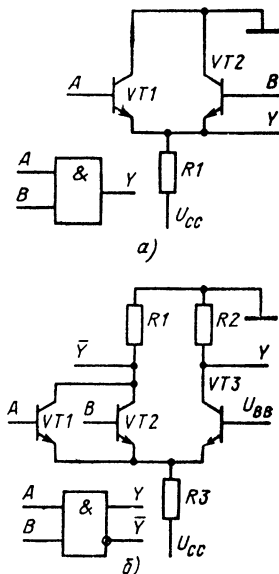


Рис. 2.9. Внутренние ЛЭ: Монтажное И (а) и одноступенчатый на ECL (б)

водников в слоях металлизации из-за наличия этого второго источника питания. Включение транзисторов VT1, VT3, VT4 на входе данных ЛЭ вместо диодов в типовых EFL-схемах значительно уменьшает входные токи управляющих сигналов, в результате меньше нагружаются предыдущие схемы.

Принципиальные схемы внутренних ЛЭ комплекта K1800 существенно отличаются от схем ЛЭ традиционных микросхем средней степени интеграции на ECL. Основные входные ЛЭ отличаются простотой, пониженной потребляемой мощностью (до 2...3 мВт), небольшим числом компонентов (3...4) в одном эквивалентном ЛЭ и отсутствием входного высокоомного резистора. Часто используются ЛЭ с напряжением

питания — 2 В, EFL-логикой и схемой Монтажное И. Напряжение питания наиболее простого ЛЭ типа Монтажное И (рис. 2.9, а) составляет — 2 В при рабочем токе 1,0 мА.

Типичный пример внутреннего одноступенчатого ЛЭ на ECL приведен на рис. 2.9, б. Схема работает при токе переключения 1 мА, обеспечиваемом источником питания ( $U_{CC} = -2$  В) и резистором R3. Порог переключения определя-

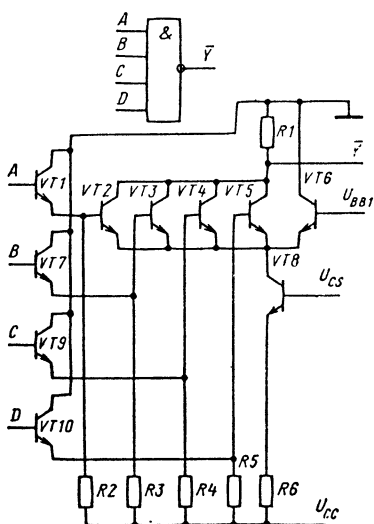


Рис. 2.10. Внутренний одноступенчатый ЛЭ на ECL

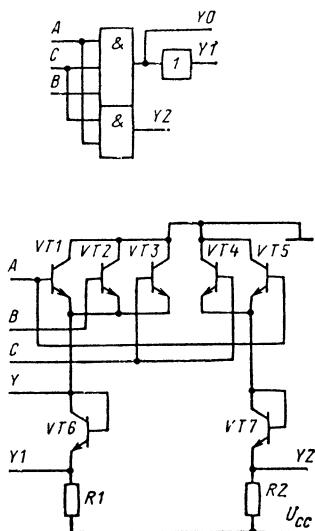


Рис. 2.11. Объединенный ЛЭ на основе Монтажное И

ется напряжением  $U_{BB} = -0,38$  В. Время задержки таких ЛЭ составляет 1 нс.

В случае отсутствия источника питания напряжением — 2 В применяется опорное напряжение  $U_{BB1}$ . При этом на входе ЛЭ включаются эмиттерные повторители, которые уменьшают влияние нагрузки на предыдущие схемы и сдвигают уровни входных сигналов на величину падения напряжения на переходе база — эмиттер транзистора (рис. 2.10). Переключаемый ток ЛЭ составляет 1,2 мА, стабилизация его осуществляется с помощью традиционной схемы с опорным напряжением  $U_{CS}$ .

Расширение логических возможностей и уменьшение числа компонентов в одном эквивалентном ЛЭ достигается объединением нескольких ЛЭ на одну нагрузку — Монтажное И

И при напряжении питания  $U_{CC} = -5,2$  В и рабочем токе 0,2 мА (рис. 2.11).

Многоступенчатые ЛЭ на ECL (с двумя и тремя ступенями) с разными комбинациями объединения элементов при одном значении тока переключения позволяют расширить логические возможности таких схем (примерно 1,5 раза). Данное утверждение убедительно иллюстрирует примеры двухступенчатых внутренних ЛЭ на ECL (рис. 2.12...2.14).

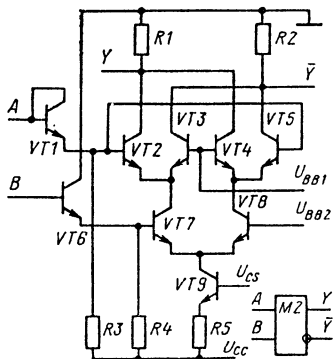


Рис. 2.12. Внутренний двухступенчатый ЛЭ Сложение по модулю 2 на ECL

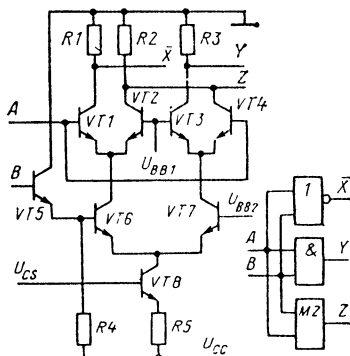


Рис. 2.13. Внутренний двухступенчатый ЛЭ на ECL

Ток переключения ЛЭ, выполняющего Сложение по модулю 2 (рис. 2.12), составляет 1,5 мА, напряжение питания  $U_{CC} = -5,2$  В. На входах схемы включены эмиттерные повторители для сдвига уровней напряжения, так как порог переключения верхней ступени определяется напряжением  $U_{BB1} = -1,29$  В, а нижней ступени — напряжением  $U_{BB2} = -2,07$  В. Данные ЛЭ применяются в БИС, которые содержат сумматоры или блоки, выполняющие логические операции. Логический элемент, схема которого приведена на рис. 2.13, выполняет три функции: ИЛИ — НЕ, И и Сложение по модулю 2. Логический элемент, схема которого приведена на рис. 2.14, широко используется во всех внутренних блоках мультиплексоров БИС. Применение нагрузочного резистора R1 расширяет логические возможности и уменьшает потребляемую мощность данной схемы.

Заметный выигрыш в числе компонентов и потребляемой мощности внутреннего эквивалентного ЛЭ можно получить, используя EFL-схемы. Принципиальная схема и графическое обозначение наиболее широко применяемого ЛЭ приведены на рис. 2.15. Напряжение питания схемы  $U_{CC} = -2,0$  В, потребляемый ток около 1 мА.

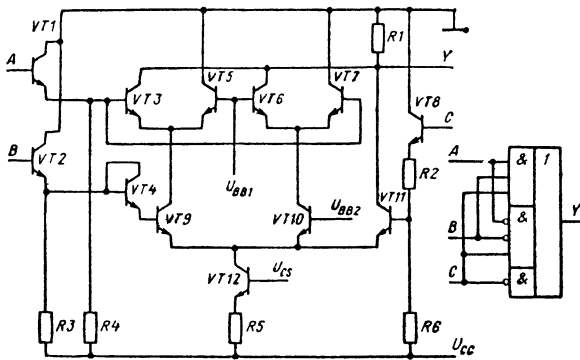


Рис. 2.14. Внутренний двухступенчатый ЛЭ на ECL, используемый в блоках мультиплексоров БИС

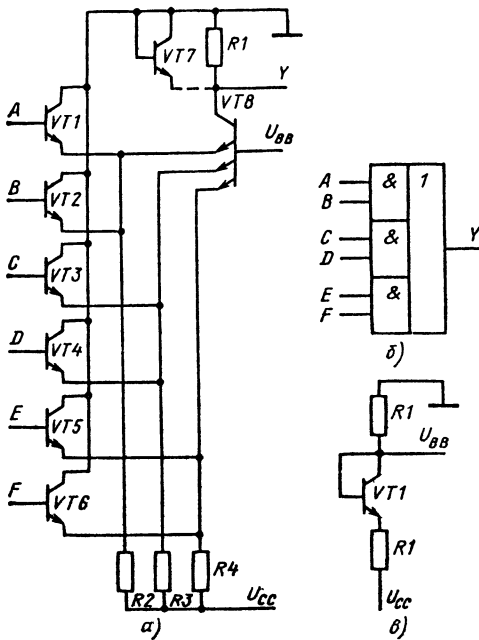


Рис. 2.15. Электрическая схема (а) и графическое обозначение (б) внутреннего ЛЭ на EFL; схема делителя напряжения (в)

На входах схемы расположены транзисторы, коллекторы которых подключаются к общему выводу, т.е. конструктивно это реализовано путем размещения базовых областей данных транзисторов в общем «кармане», что позволяет значительно уменьшить нагрузку предыдущих ЛЭ и площадь, занимаемую схемой. Логическая операция ИЛИ выполняется на многоэмиттерном транзисторе VT8, база которого подключается к опорному напряжению  $U_{BB} = -0,38$  В, поступающему от делителя напряжения (рис. 2.15, в). Для предотвращения режима насыщения нагрузочный резистор R1 шунтируется транзистором VT7 в диодном режиме. Данные и аналогичные ЛЭ на EFL широко используются в блоках управления, дешифрации и мультиплексирования.

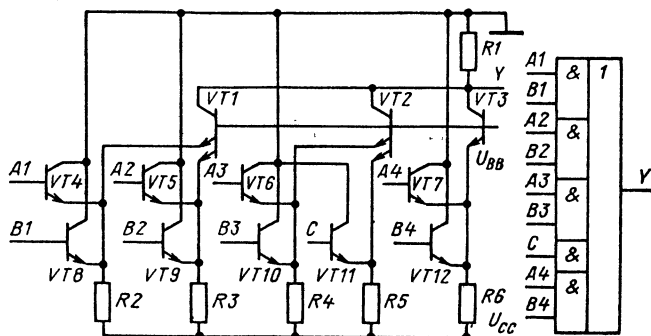


Рис. 2.16. Внутренний объединенный ЛЭ на EFL

Объединение нескольких EFL-схем на одну нагрузку позволяет еще больше расширить логические возможности и уменьшить потребляемую мощность микросхем. Например, к одному нагрузочному резистору R1 можно подключить три многоэмиттерных транзистора (VT1...VT3) (рис. 2.16). В тех случаях, когда в микросхеме используется только одно напряжение питания — 5,2 В (например, БИС K1800BP8), используется ЛЭ на EFL (рис. 2.17). Формирование токов многоэмиттерного транзистора обеспечивается с помощью генераторов тока на VT11, VT12, R6, R7 и опорного напряжения  $U_{CS}$ .

В комплекте K1800 для внутренних блоков БИС часто используются ЛЭ, в которых сочетаются преимущества ECL- и EFL-схем. Пример такого ЛЭ приведен на рис. 2.18, напряжение питания здесь — 5,2 В при токе переключения 1,2 мА. Схема имеет широкие функциональные возможности, но время задержки возрастает до 2 нс.

Для выполнения логических операций в микросхеме с одним напряжением питания — 5,2 В в отдельных случаях (например, K1800 RP6) используются трехступенчатые внутренние ЛЭ на ECL (рис. 2.19). Напряжение питания такого ЛЭ  $U_{CC} = -5,2$  В, потребляемый ток 1,2 мА, ЛЭ содержит три порога переключения, определяемые опорными напряжениями  $U_{BB1}$ ,  $U_{BB2}$  и  $U_{BB3}$ . Для сдвига уровней



напряжения на входах ЛЭ включены эмиттерные повторители и транзисторы в диодном режиме. Время задержки таких ЛЭ достигает 3 нс.

Комплект БИС К1800 содержит 8 основных типов внутренних триггерных схем, которые применяются во всех БИС данного комплекта, кроме БИС К1800ВР8. Двухсту-

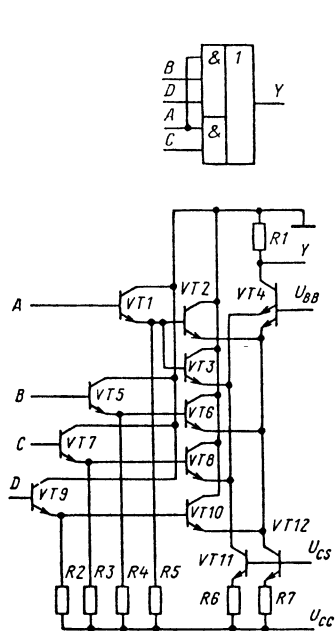


Рис. 2.17. Внутренний ЛЭ на ECL и EFL

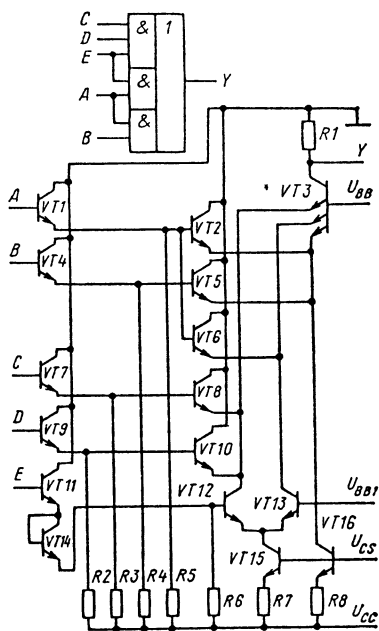


Рис. 2.18. Внутренний двухступенчатый ЛЭ на ECL и EFL

пенчатый синхронизируемый фронтом D-триггер, построенный на ECL-схемах (рис. 2.20), питается от источника напряжения — 5,2 В, потребляет ток 1,2 мА и работает в активном режиме по положительному фронту сигнала на входе С. Синхросигналы С и  $\bar{C}$  обычно формируются буферным ЛЭ, имеющим прямой и инверсный выходы. Входная информация с входа D передается на выход Q только при положительном фронте синхросигнала на входе С. При других состояниях синхросигнала изменение информации на входе триггера не влияет на состояние его выходов. Триггер используется для записи, хранения и передачи информации.

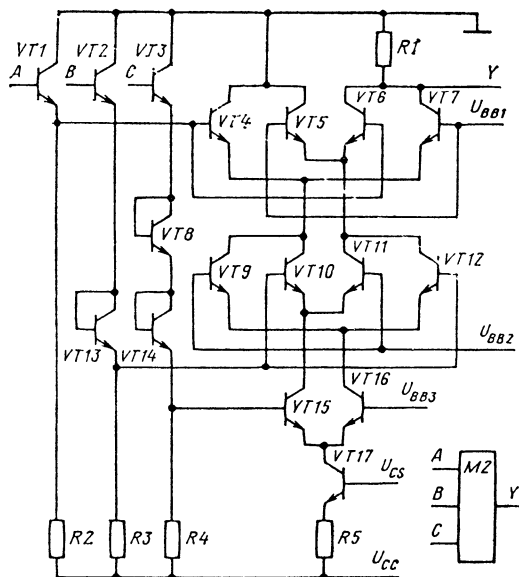


Рис. 2.19. Внутренний трехступенчатый ЛЭ Сложение по модулю 2 на ECL

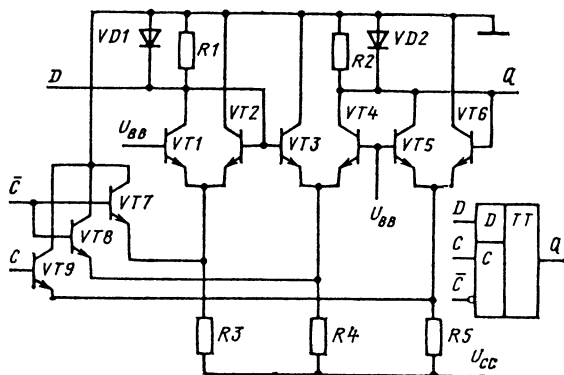


Рис. 2.20. Внутренний синхронизируемый D-триггер на EGL

Принципиальная схема синхронизируемого RS-триггера с одной бистабильной ячейкой на транзисторах VT1 и VT2 приведена на рис. 2.21. Ток переключения триггера составляет 1,2 мА при напряжении питания — 5,2 В. Информация, поступающая на входы R и S, передается на выходы только при напряжении высокого уровня на разрешающем входе C. При напряжении низкого уровня на входе C информация со входов на выходы Q и  $\bar{Q}$  не передается и триггер хра-

нит записанную информацию. Для установки триггера в исходное состояние ( $Q = 0$ ) имеется два входа сброса  $SR1$  и  $SR2$ , которые устанавливают триггер в исходное состояние при напряжении высокого уровня на них и напряжении низкого уровня на входе  $S$ . Триггер используется для записи, хранения и передачи информации.

Большинство микросхем комплекта К1800 (К1800ВС1, К1800ВТ3, К1800ВУ1, К1800РП6) содержат мультиплексоры и регистры, которые используются во внутренних блоках. В тех случаях, когда информация из мультиплексоров передается в регистры, используются совмещенные схемы, например синхронизируемый RS-триггер (рис. 2.22). Двух-

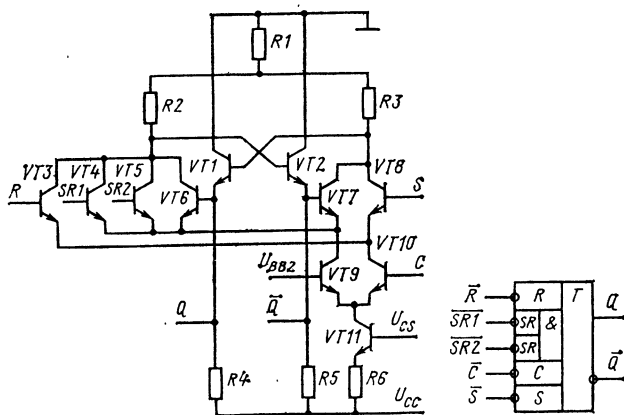


Рис. 2.21. Внутренний синхронизируемый RS-триггер на ECL

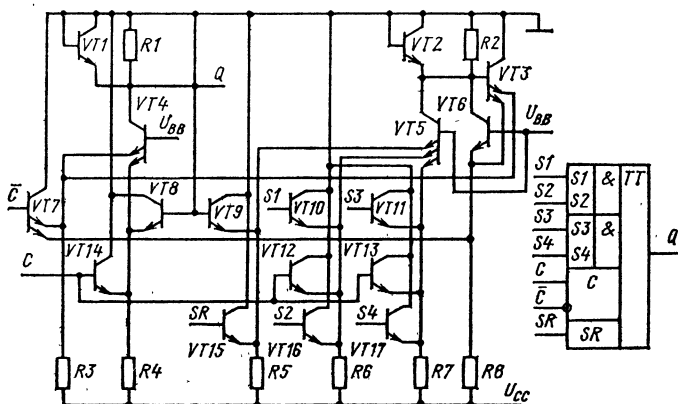


Рис. 2.22. Внутренний синхронизируемый RS триггер на EFL

ступенчатый триггер реализован на EFL-схемах с напряжением питания — 2 В и током основного триггера до 1,4 мА. Информация со входов триггера записывается при положительном фронте сигнала на входе С. Во всех других состояниях на входах С и  $\bar{C}$  входная информация не влияет на состояние выхода Q и выходной триггер хранит записанную информацию. Для установки триггера в исходное состояние ( $Q = 0$ ) имеется вход SR, который срабатывает при напряжении  $U_{IH}$  на нем. Наличие четырех входов S1...S4 уста-

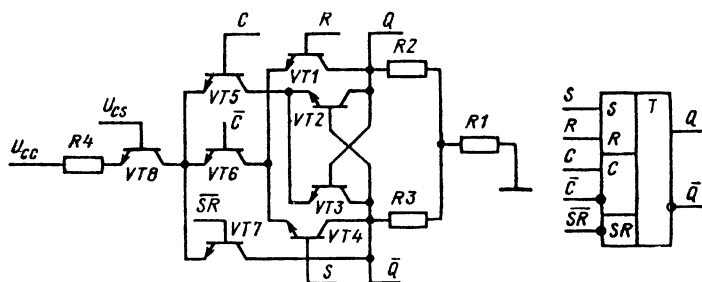


Рис. 2.23. Внутренний синхронизируемый RS-триггер на EFL

новки выхода триггера в состояние 1 позволяет реализовать на данной схеме функции мультиплексора.

Формирование синхроимпульсов БИС К1800ВБ2 проводится с помощью триггерных схем, одна из которых приведена на рис. 2.23. Схема RS-триггера на ECL синхронизируется положительным фронтом сигнала, потребляет ток 1,4 мА от источника питания напряжением — 5,2 В. Информация со входов R и S записывается по положительному фронту сигнала на входе С. При других состояниях сигнала на входе С триггер хранит записанную информацию. Для установки триггера в исходное состояние используется напряжение высокого уровня на входе сброса SR.

Двухступенчатый синхронизируемый положительным фронтом JK-триггер (рис. 2.24), реализованный на двух трехступенчатых ECL-схемах, работает при токе переключения 1,4 мА и напряжении питания — 5,2 В. В зависимости от состояния синхросигналов С и  $\bar{C}$  он может работать как JK- и как Т-триггер. Управление по входам J и K происходит по положительному фронту сигнала на входе С. Как Т-триггер схема работает при напряжении низкого уровня на входах J и K. Установка обоих триггеров в исходное состояние выполняется при  $SR = 0$ .

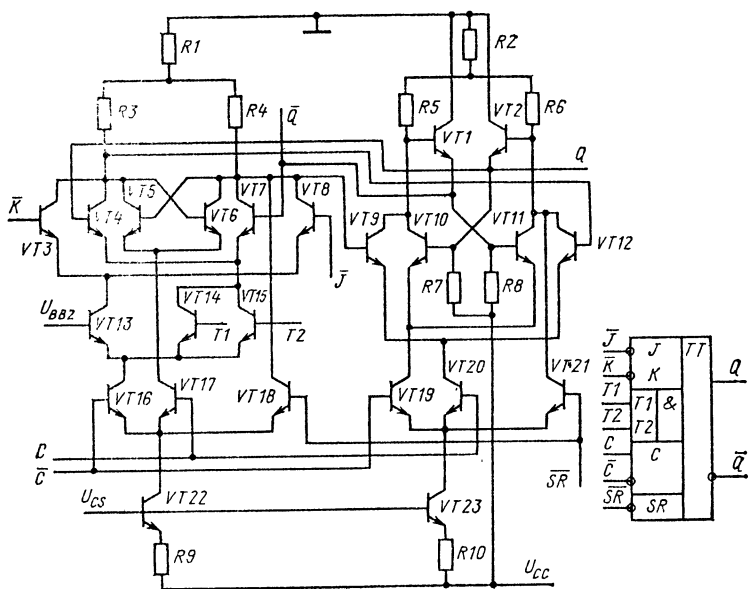


Рис. 2.24. Внутренний двухступенчатый синхронизируемый JK-триггер на ECL

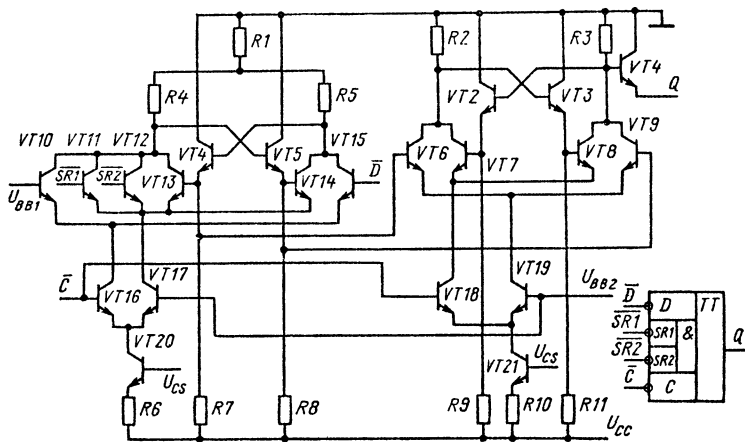


Рис. 2.25. Выходной двухступенчатый синхронизируемый D-триггер на ECL

Двухступенчатый синхронизируемый выходной D-триггер (рис. 2.25), реализованный на двухступенчатых ECL-схемах, работает при напряжениях питания — 5,2 В, токах переключения внутреннего и выходного триггеров 1,2 и 4,5 мА соответственно. Запись информации по входам S и R происходит при напряжении высокого уровня на входе  $\bar{C}$ , а запись на выходной триггер — при напряжении низкого уровня на входе  $\bar{C}$ . Для установки триггера в исходное состояние имеются два входа SR1 и SR2. Триггер используется в БИС К1800РП6.

Матрица памяти (БИС К1800РП6) выполнена на элементах памяти (рис. 2.26). Основным элементом памяти является бистабильная ячейка, реализованная на двух совмещенных структурах (R4, VT3 и R5, VT4). Управление током переключения осуществляется с помощью адресной шины А. Стабилизация тока осуществляется с помощью генератора на R7, VT7. Запись и считывание осуществляются с помощью разрядных входов EWA, EWB и входа WR. Информация записывается в ячейку при поступлении сигнала на вход WR и на входы EWA, EWB разрешающего сигнала. Считывание производится с выводов EWA и EWB. Ток в режиме управления адресной шиной составляет 1 мА, а в невыбранном состоянии (при отсутствии управляющего тока в цепи базы транзистора VT1) ток через ячейку почти не протекает.

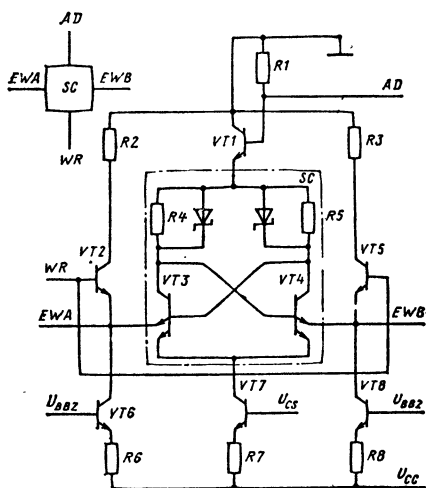


Рис. 2.26. Запоминающая ячейка

Считывание производится с выводов EWA и EWB. Ток в режиме управления адресной шиной составляет 1 мА, а в невыбранном состоянии (при отсутствии управляющего тока в цепи базы транзистора VT1) ток через ячейку почти не протекает.

БИС МПК К1800 должны быть совместимы с микросхемами серии К500 по уровням напряжения и условиям эксплуатации. Выходные ЛЭ БИС комплекта К1800 питаются напряжением — 5,2 В, на их выходах включены мощные транзисторы, коллекторы которых соединены с общей шиной а к эмиттерам подключается нагрузка. Ток переключения генераторов тока данных одноступенчатых ЛЭ на ECL (рис.2.27) составляет 4,5 мА, порог переключения определяется опорным напряжением  $U_{ВВ1} = -1,29$  В. Ко входам ЛЭ подключаются эмиттерные повторители для сдвига уровней напря-



ных шин (рис. 2.29). Выходной ЛЭ реализован на двухступенчатой ECL-схеме.

Рассмотренные схемы входных, внутренних и выходных ЛЭ отражают все принципиальные схемотехнические решения, применяемые при реализации восьми типоминималов

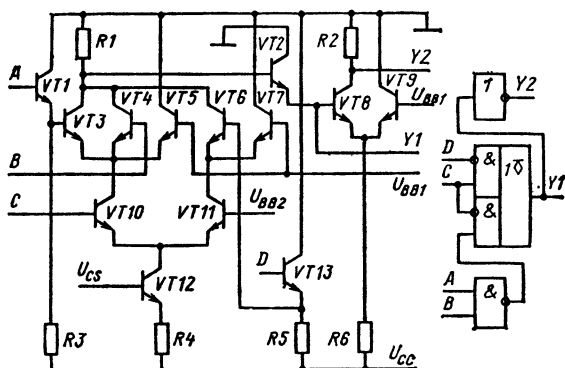


Рис. 2.29. Двухступенчатая двунаправленная шина ЛЭ на ECL

БИС МПК К1800. Все другие ЛЭ отличаются от приведенных 27 типов (см. табл. 2.3) только числом входов и выходов, номиналами резисторов и током переключения.

#### 2.4. Особенности функциональных схем блоков БИС

Для выполнения определенных функций ЛЭ объединены в блоки, которые содержат от нескольких единиц до нескольких десятков различных ЛЭ и выполняют арифметические, логические и сдвиговые операции, а также принимают, хранят и выдают информацию. Между собой блоки соединены выводами управляющих сигналов и шинами данных и адресов. Наиболее часто в микросхемах комплекта применяются известные логические схемы: дешифраторы, регистры, мультиплексоры и управляемые шины передачи данных, в том числе и двунаправленные. Конкретные функциональные схемы блоков отличаются не только в разных БИС, но порой и в той же БИС. Таким образом, в БИС комплекта почти не встречается одинаковых схем блоков, и сделано это с целью оптимизации потребляемой мощности, быстродействия и функциональных возможностей микросхем. Представляет интерес рассмотреть только наиболее часто встречающиеся схемы — мультиплексоры и шины передачи данных.



Таблица 2.6

Состав блоков регистров БИС МПК1800

Тип БИС	Наименование блока	Число триггеров в блоке	Условное обозначение ЛЭ
K1800BC1	Фиксатор	4	ЛЭ18
	Накопитель	4	ЛЭ18
K1800BU1	Регистр команд	4	ЛЭ21
	Регистр адреса	4	ЛЭ21
	Регистр повторений	4	ЛЭ21
	Регистр состояния	4	ЛЭ18
	Блок регистров (стек)	4×4	ЛЭ21
K1800BT3	Регистр данных	4	ЛЭ21
	Регистр адреса	4	ЛЭ21
	Блок регистров	4×4	ЛЭ21
	Регистр-фиксатор	4	ЛЭ19
K1800BA4	Регистр-фиксатор	5	ЛЭ19
K1800PA6	Регистр данных	9×2	ЛЭ19

Сигналы, поступающие на входы микросхем или функциональных блоков, распределяются с помощью мультиплексоров, реализованных на ЛЭ типа ЛЭ13...ЛЭ16. Число входов мультиплексора зависит от его назначения и может достигать 16. Для передачи информации в регистр схема мультиплексора объединяется со схемой триггера. Запоминание поступающих данных и текущей обрабатываемой информации осуществляется триггерными схемами. Отдельные триггеры используются в БИС K1800PA6 для запоминания признаков, триггер ошибки сравнения и триггер повторения — в микросхеме K1800BU1. В других БИС комплекта они объединены в более сложные блоки согласно табл. 2.6.

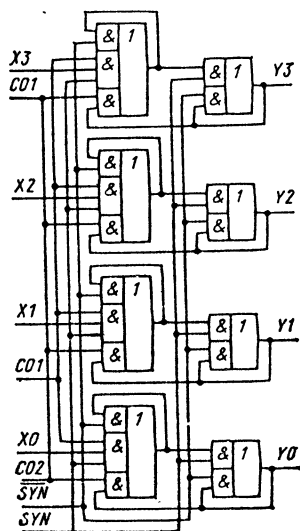


Рис. 2.30. Функциональная схема регистра БИС K1800BU1 (MCU)

Наиболее распространенная функциональная схема объединения триггеров в регистры приведена на рис. 2.30. Данная схема используется в БИС K1800BU1 для объединения триггеров в регистры адреса, повторения и команд и в БИС K1800BT3 для реализации функциональных схем регистров данных, адреса и трех регистров регистрового блока. Информация записывается со входов X0...X3

при поступлении синхросигналов SYN и  $\overline{\text{SYN}}$  и определенном состоянии сигналов на управляющих входах CO1, CO2. Данные появляются на выходах Y0...Y3 после окончания фронта синхросигналов. Число управляющих и информационных входов триггеров различных регистров может быть и другим.

На входах триггеров некоторых регистров включены мультиплексоры (на логических элементах 21). Для увеличения скорости переключения триггеров и уменьшения вероятности сбоя используются парафазные сигналы синхронизации SYN и  $\overline{\text{SYN}}$ . Синхросигналы двух фаз могут вырабатываться логической схемой непосредственно на входе регистра. Установка триггеров в исходное состояние производится сигналом SR, который в большинстве схем регистров имеет приоритет перед другими сигналами или используется совместно с сигналами управления. В регистрах БИС K1800BV1 сигнал SR используется совместно с сигналом SYN.

Информация между БИС комплекта, а также между функциональными блоками в самих БИС передается по шинам. Внешние сигналы в зависимости от назначения передаются по шинам двух типов — однонаправленным входным или выходным и двунаправленным. Двунаправленные шины не только сокращают число выводов БИС, но также позволяют осуществить обмен информацией между микросхемами без дополнительных схем, что увеличивает скорость передачи. При непосредственном соединении шин необходимо разделить время приема и передачи информации и недопустить работы двух источников на выдачу информации одновременно на одну шину. В БИС комплекта имеются выходные усилители, допускающие такую организацию шин.

Функциональная схема выходной однонаправленной адресной шины А микросхемы K1800BT3 приведена на рис. 2.31. Схема состоит из четырех одинаковых каналов и двух схем управления, на входы которых поступают сигналы CO4 и CO14, разрешающие выдачу информации IA0...IA3 из регистра адресов на выходы A0...A3. Функциональная схема одного из возможных вариантов реализации двунаправленной шины показана на рис. 2.32. Передача данных OV0...OV3 из накопителя на шину происходит при разрешающем сигнале CO1 из дешифратора управления выходной шиной. При этом входы фиксатора, на которые может быть подана информация V0...V3, должны быть закрыты. При приеме

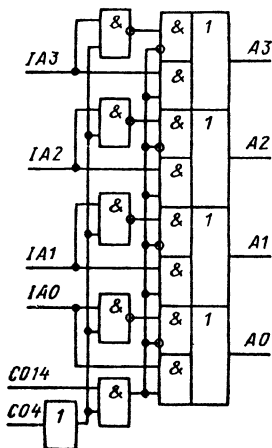


Рис. 2.31. Функциональная схема выходной адресной шины микросхемы К1800ВТ3 (СОМ)

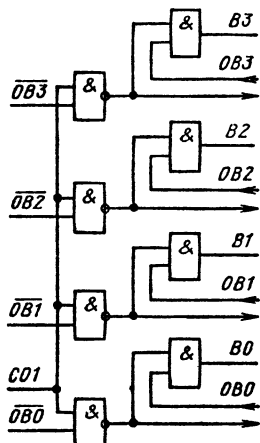


Рис. 2.32. Функциональная схема двунаправленной шины БИС К1800ВС1 (АЛУ)

сигналов по шине ОВ информация поступает на логический элемент И и передается на входы фиксатора.

Организация остальных функциональных схем основных блоков микросхем комплекта и описание их работы приведены в гл. 3 настоящей книги.

## 2.5. Конструктивное выполнение БИС

Микросхемы комплекта К1800 разработаны в металлокерамических корпусах, общий вид и присоединительные размеры которых приведены на рис. 2.33...2.35. Корпус предназначен для защиты кристалла микросхемы от внешних механических и климатических воздействующих факторов и обеспечения нормального теплового режима при эксплуатации. Основные технические данные этих трех типов корпусов приведены в табл.2.7. Посадка кристаллов в корпус производится с помощью эвтектики, что обеспечивает наилучшее тепловое сопротивление кристалл — корпус  $R_{ТДС}$ , равное  $5^{\circ}\text{C}/\text{Вт}$ . Соединение контактных площадок кристалла с площадками выводов корпуса производится с помощью ультразвуковой сварки и алюминиевой проволоки диаметром 30 мкм.

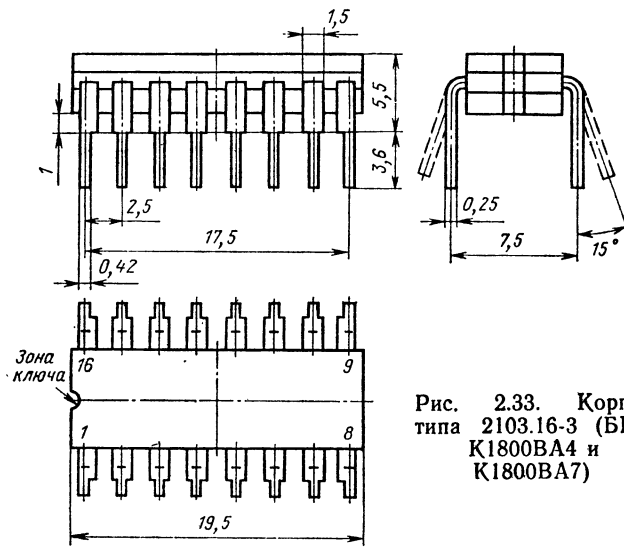


Рис. 2.33. Корпус  
 типа 2103.16-3 (БИС  
 К1800ВА4 и  
 К1800ВА7)

Учитывая, что БИС комплекта выделяют значительное количество тепла, особенно важно уменьшить тепловое сопротивление кристалл — окружающая среда. Из данных, приведенных в табл. 2.7, следует, что тепловое сопротивление корпус — окружающая среда  $R_{ТСА}$  без обдува достигает  $43\text{ }^{\circ}\text{C}/\text{Вт}$ , перепад температур окружающая среда — кристалл может достигать  $80...90\text{ }^{\circ}\text{C}$ . При температуре

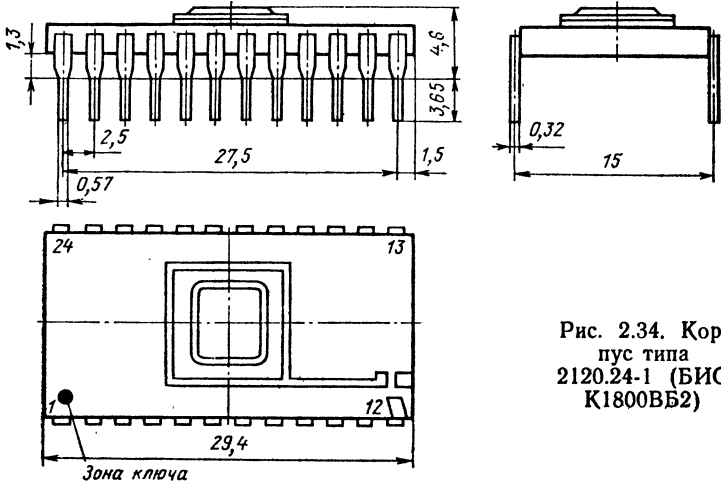


Рис. 2.34. Корпус  
 типа 2120.24-1 (БИС  
 К1800ВВ2)

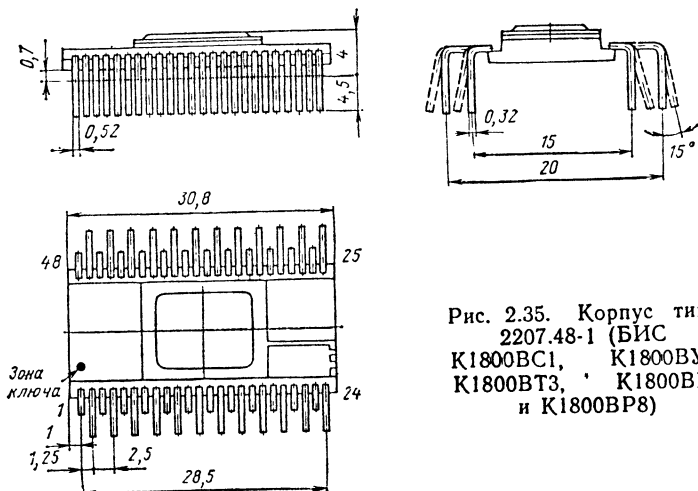


Рис. 2.35. Корпус типа  
2207.48-1 (БИС  
К1800ВС1, К1800ВУ1,  
К1800ВТ3, К1800ВП6  
и К1800ВР8)

Т а б л и ц а 2.7

Технические данные корпусов

Наименование параметра	2103.16-3	2120.24-1	2207.48-1
Габариты, мм:			
без выводов	19,5×7,5× ×4,5	29,4×15× ×3,3	30,8×12,6× ×3,3
общие	19,5×7,5×9	29,4×15× ×8,2	30,8×20× ×8,5
Масса, не более, г	5	5	5
Число выводов	16	24	48
Диапазон температур при эксплуатации, °С	-60...+125	-60...+125	-60...+155
Шаг между выводами, мм	2,5	2,5	2,5
Тепловое сопротивление, °С/Вт:			
R <sub>ТСА</sub> (без обдува)	50	48	43
R <sub>ТСА</sub> (с обдувом)	20	25	19
R <sub>ТТС</sub> (без обдува)	30	7	5
R <sub>ТТС</sub> (с обдувом)	30	7	5

окружающей среды 75 °С кристалл БИС может нагреваться до 160 °С при потребляемой мощности 2 Вт без принудительного охлаждения.

Для увеличения надежности БИС необходимо использовать принудительное охлаждение, наиболее приемлемым является обдув воздухом со скоростью 3 м/с. Тепловое сопротивление R<sub>ТСА</sub> при этом снижается в два раза, что обеспечивает температуру кристалла БИС не более 130 °С при потребляемой мощности 2 Вт.

### 3. Электрические схемы, принцип работы и выполняемые операции БИС МПК К1800

#### 3.1. Арифметическо-логическое устройство

Арифметическо-логическое устройство К1800BC1 (ALU) является центральным процессорным блоком и предназначено для выполнения арифметических, логических и сдвиговых операций с комбинациями из одной, двух или трех переменных. Операции умножения и деления выполняются при использовании соответствующей команды. Данное устройство является одним из немногих известных микропроцессорных БИС ALU, в котором реализованы операции над двоично-кодированными десятичными числами. Устройство обеспечивает внутреннюю генерацию сигналов четности результата PR и переноса PC для контроля ошибок, а также генерирует сигналы признака переполнения OF, знака MBS, проверки на нуль ZD и переноса CRP, CRG и CRO. Назначение выводов ALU представлено в табл. 3.1, условное графическое обозначение — на рис. 3.1.

В состав ALU (рис. 3.2) входят: фиксатор, мультиплексор выходной шины (MUXO), мультиплексор данных (MUXD), мультиплексор-маска (MUXM), формирователь кодов, арифметическо-логический блок (сумматор), сдвигатель, накопитель (ACC), дешифратор управления выходной шиной (DCO), дешифратор управления входной шиной (DCI), блок управления выходной шиной и мультиплексоры сдвигателя и накопителя. Для управления операциями внутри БИС используется 16 управляющих входов CO0 ... CO15. Обмен информацией между блоками процессорных устройств осуществляется тремя 4-разрядными информационными шинами IB, DI и OB. Шина DI является однона-

№	DI	ALU	IB	№
28	0		↔	13
32	1		↔	14
34	2		↔	15
30	3		↔	16
37	CO		OB	
38	0		↔	23
40	1		↔	22
35	2		↔	21
39	3		↔	20
33	4		↔	8
31	5		LBS	
45	6		↔	9
28	7		MBS	
19	8		↔	2
41	9		PC	↔
42	10	CRO	↔	4
43	11	CRG	↔	5
47	12	CRP	↔	6
47	13	OF	↔	10
46	14	PR	↔	11
18	15	ZD	↔	7, 17
27		U <sub>SSO</sub>	↔	12, 36
26	SYN1	U <sub>SS</sub>	↔	1, 24
44	SYN2	U <sub>CC1</sub>	↔	25, 48
	CRI	U <sub>CC2</sub>	↔	

Рис. 3.1. Условное графическое обозначение БИС арифметическо-логического устройства

Таблица 3.1

## Назначение выводов БИС К1800ВС1

Номер вывода	Обозначение	Назначение
1, 24	U <sub>CC1</sub>	Напряжение источника питания, —5,2 В
2	PC	Выход четности переноса
3	CRO	Выход переноса
4	CRG	Выход генерации группового переноса
5	CRP	Выход распространения группового переноса
6	OF	Выход переполнения
7, 17	U <sub>SS0</sub>	Общий (выходных транзисторов)
8, 9	LBS, MBS	Двунаправленные выводы младшего и старшего разрядов сдвигателя
10	PR	Выход четности результата
11	ZD	Выход проверки на нуль
12, 36	U <sub>SS</sub>	Общий (схемы)
13...16	IB0...IB3	Входная шина IB — двунаправленные выводы разрядов 0...3
18, 19	CO15, CO9	Входы управления входной шины накопителя
20...23	OB3...OB0	Выходная шина OB — двунаправленные выводы разрядов 0...3
25, 48	U <sub>CC2</sub>	Напряжение источника питания, —2 В
26	SYN2	Вход синхронизации фиксатора
27	SYN1	Вход синхронизации накопителя
28	CO8	Вход управления разрешением шины IB
29, 30, 32, 34 31, 33	D10, D13, D11, D12 CO6, CO5	Входы данных DI разрядов 1...3
35, 37... 40	CO3, CO0, CO1, CO4, CO2	Входы управления передачей данных в сумматор
41	CO10	Вход управления режимом: сложение — вычитание
42	CO11	Вход управления режимом: двоичный — двоично-десятичный
43	CO12	Вход управления режимом: арифметический — логический
44	CPI	Вход переноса
45, 46, 47	CO7, CO14, CO13	Входы управления режимом сдвига

Примечание. Разряд 0 — младший, разряд 3 — старший.

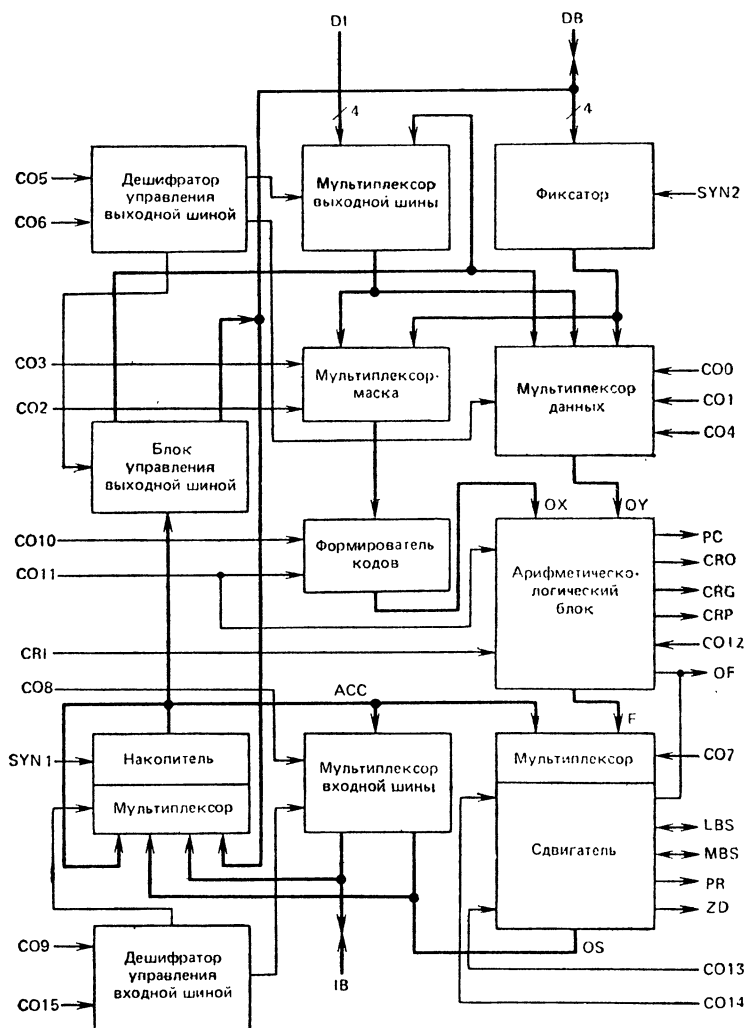


Рис. 3.2. Структурная схема БИС К1800BC1

правленной и служит информационным входом для ALU; DI0 — младший разряд, DI3 — старший. Шины DB и IB являются двунаправленными и могут использоваться как для ввода, так и для вывода информации; IB0, DB0 — младшие разряды, IB3, DB3 — старшие разряды. Вспомогательные входы служат для выдачи кодов состояния и ус-



ловий перехода. Выводы CRI, CRO, LBS и MBS используются при параллельной работе нескольких БИС ALU для увеличения разрядности, кратной разрядности одной микросхемы.

**Описание работы ALU.** Фиксатор направляет информацию через MUXD на вход сумматора через синхронизируемые D-триггеры (ЛЭ4). Управление прохождением информации осуществляется по входу SYN2. При поступлении на вход SYN2 напряжения высокого уровня  $U_{OH}$  информация с шины OB проходит через D-триггеры (защелки) на вход сумматора. Когда же на вход SYN2 поступает напряжение низкого уровня  $U_{OL}$ , D-триггеры хранят информацию и изменение состояния шины OB не влияет на состояние входов триггеров.

**Мультиплексор-маска (MUXM)** реализован на ЛЭ типа И-ИЛИ и осуществляет поразрядное маскирование информации, поступающей через формирователь кодов в сумматор из шин DI и OB. Сигналы CO2 и CO3 управляют подачей информации на вход сумматора операнда OX через MUXO и MUXM.

Таблица 3.2

**Формирование операнда OX  
с помощью сигналов  
CO2 и CO3**

OX	CO2	CO3
MUXO и OB	0	0
OB	0	1
MUXO	1	0
MUXO или OB	1	1

С помощью этих сигналов на вход OX можно подать информацию либо с шины DI, либо с шины OB. Кроме того, они обеспечивают возможность проведения маскирования внутри БИС. Это позволяет накладывать на любой разряд или группу разрядов шины DI или OB маску, состоящую из лог. 1 или лог. 0. Преимуществом наложения маски до сумматора является возможность за один проход осуществить и маскирование и сравнение внутри БИС. Формирование операнда OX показано в табл. 3.2.

Информация на входы OX сумматора поступает из формирователя кодов. С помощью *формирователя кодов* ALU может выполнять логические операции, операции двоичной арифметики и двоично-десятичной арифметики из одной, двух или трех переменных: шин DI и OB и накопителя. Переменные являются равными как и в двоичных, так и в двоично-десятичных выражениях. Формирователь кодов включает в себя схему дополнения до 9 для того, чтобы формировать необходимую двоично-десятичную функцию. Дополнение до 9 применяется с командами Вычитать в двоично-десятичном коде и Дополнить до 9, схема автоматически пригодна, когда эти функции выбраны. Управляющие входы CO10, CO11 выбирают нужный код.

Возможность управления режимом Сложение—вычитание обеспечивается управляющим сигналом СО10 и схемой формирования кодов. В режиме сложения информация на вход ОХ приходит в прямом коде, в режиме вычитания — в обратном. Для двоично-десятичного вычитания обратный код формируется в виде дополнения до 9, а для двоичного — информация инвертируется (дополнение до 1).

Если ALU настроено на логический режим работы (Исключающее ИЛИ), то формирование различного вида дополнительных кодов используется для селективного инвертирования информации на входе ОХ. С помощью сигнала СО11 схема настраивается на двоичный режим работы, а СО10 управляет инверсией информации согласно табл. 3.3.

Т а б л и ц а 3.3

Функции, выполняемые формирователем кодов

Выполняемая функция	СО10	СО11
Двоично-десятичное вычитание (дополнение до 9)	0	0
Двоичное вычитание (инвертирование)	0	1
Двоично-десятичное сложение	1	0
Двоичное сложение	1	1

*Сумматор*, объединенный с фиксатором, формирователем кодов и мультиплексором наложения маски (рис. 3.3), может выполнять различные логические операции, а также двоичные и двоично-десятичные арифметические действия с одной, двумя или тремя переменными. В качестве переменных могут быть использованы данные шин DI, ОВ и из накопителя. Переменные как в двоичном, так и в двоично-десятичном кодах обрабатываются одинаково. Сигнал СО12 управляет режимом работы сумматора, т. е. определяет выполнение арифметической или логической операции в ALU. В логическом режиме работы блокируется распространение переноса между разрядами сумматора и выполняется операция Исключающее ИЛИ. При лог. 0 на входе СО12 сумматор выполняет логические (Исключающее ИЛИ) операции, а при лог. 1 — арифметические.

Сигнал СО11 управляет режимом работы Сложение—вычитание. Входной перенос СRI используется для объединения 4-разрядных БИС К1800ВС1 в многоразрядное (кратное четырем) устройство. Для организации последовательного переноса входной перенос СRI данной БИС необхо-

димо соединить с выходным переносом CRO предыдущей БИС, а для организации группового переноса — со схемой ускоренного переноса. Входной перенос используется только при выполнении арифметических операций при работе как в двоичном, так и в двоично-десятичном кодах. Сигнал выходного переноса CRO показывает, что результат, полученный внутри ALU, превышает максимально возможное 4-разрядное число. Сигнал CRO образуется при получении двоичной суммы более 15 (1111) или двоично-десятичной более 9 (1001), т. е. сигнал выходного переноса форми-

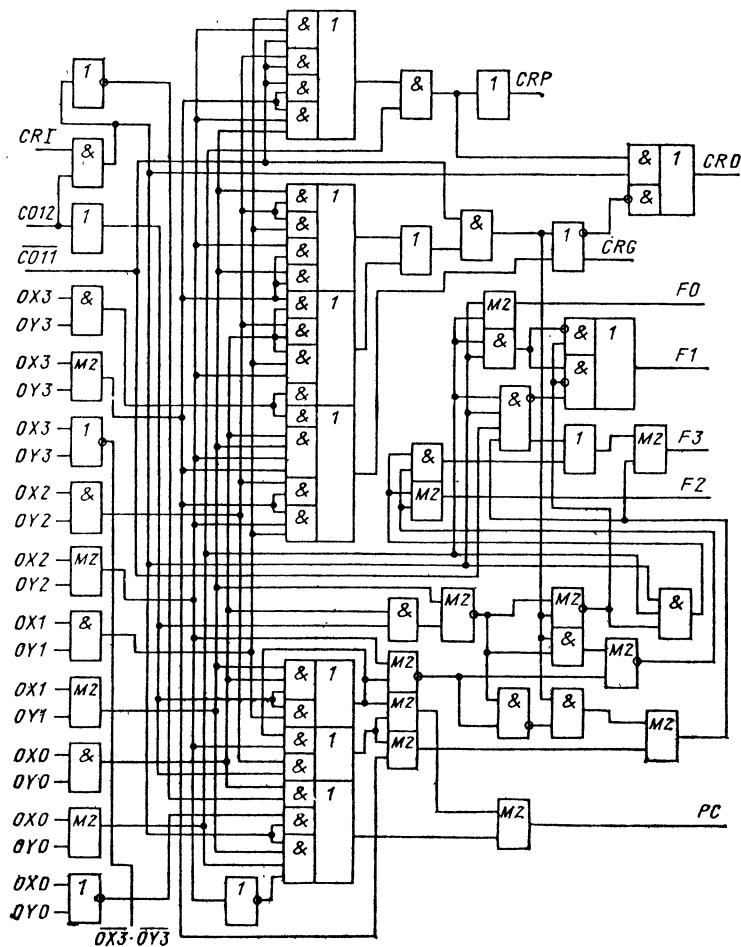


Рис. 3.3. Функциональная схема сумматора

руется при выполнении как двоичных, так и двоично-десятичных операций. Когда нет необходимости осуществлять ускоренный перенос, можно организовать последовательный путем соединения выходного переноса данной БИС с входным переносом следующей.

В сумматоре формируются сигналы наличия условий прохождения переноса через данную БИС (распространения группового переноса CRP), образования переноса внутри данной БИС (генерация переноса CRG) и контроля четности переноса (PC). Сигналы CRG и CRP используются для организации ускоренного переноса в ALU с увеличенным числом разрядов, состоящим из нескольких 4-разрядных секций БИС K1800BC1. Эти сигналы формируются как при двоичных, так и при двоично-десятичных операциях. Выход CRP устанавливается в состояние лог. 1, когда на выходах ALU значение числа становится максимальным — 1111 для двоичных и 1001 для двоично-десятичных операций. На выходе CRG устанавливается 1, когда результат равен 16 (10000) и более для двоичных операций и 10 (10000) и более для двоично-десятичных операций. Выходы CRP и CRG используются только при выполнении арифметических операций. Контроль четности переноса используется для выявления арифметических ошибок и является операцией Исключающее ИЛИ выходного переноса и переносов из трех младших разрядов (CR1, C1 и C2):  $PC = CR1 \oplus CR0 \oplus C1 \oplus C2$ .

Сигнал переполнения (OF) формируется только при выполнении арифметических операций сложения и вычитания в коде Дополнения до 2 и показывает, что превышен максимально возможный размер слова или разряда. Выход признака переполнения используется только в той БИС, в которой расположен самый старший разряд слова. В дополнение к сигналу переполнения, который вырабатывается в результате работы сумматора, можно получить сигнал переполнения в процессе работы сдвигателя при сдвиге влево — операция Исключающее ИЛИ (двух старших разрядов). Признак переполнения вырабатывается при изменении знакового разряда в результате сдвига. Обычно признаки переполнения, сформированные в сумматоре и сдвигателе, объединены по ИЛИ, так что наличие любого из них вызывает появление общего сигнала переполнения. Исключением является случай, когда входы сдвигателя подключены к накопителю. В это время сигнал переполнения, формируемый в ALU, отделяется от входа OF. При выполнении двоично-десятичных операций сигнал переполнения не формируется.

*Сдвигатель*, расположенный в БИС после сумматора, позволяет осуществлять сдвиг влево, логический и арифметический сдвиги вправо и сквозную передачу данных (рис. 3.4). Сигнал на входе CO7 управляет источником ин-

формации для сдвигателя. Информация может поступать с сумматора через мультиплексор либо из накопителя. Операция сдвига содержимого накопителя используется при умножении и делении с помощью программ Сложение—Сдвиг. При состоянии лог. 0 на входе CO7 на сдвигатель

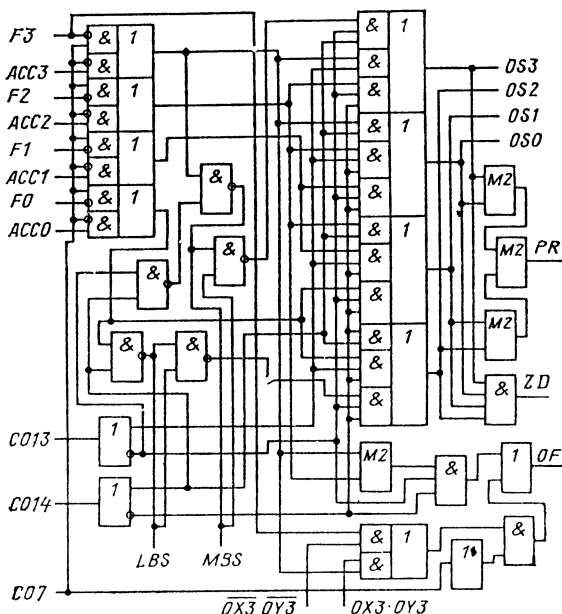


Рис. 3.4. Функциональная схема сдвигателя

поступает информация из накопителя, а при лог. 1 на входе CO7 — из сумматора. Входы CO13 и CO14 управляют работой сдвигателя. Сдвигатель выполняет четыре операции (табл. 3.4).

Таблица 3.4

Операции, выполняемые сдвигателем

Операция сдвига	CO13	CO14
Сдвиг влево	0	0
Отсутствие сдвига	1	0
Логический сдвиг вправо	0	1
Арифметический сдвиг вправо	1	1

При выполнении сдвига влево происходит сдвиг информации на входах сдвигателя на один разряд влево (к старшему разряду), что обеспечивает выполнение как логического, так и арифметического сдвига влево. При логическом сдвиге вправо происходит сдвиг информации на входе сдвигателя на один разряд вправо (к младшему разряду). Эта операция используется для логического сдвига вправо во всех БИС и для арифметического сдвига вправо во всех БИС, кроме БИС, содержащей старший разряд слова или разряда. Во время арифметического сдвига вправо знак числа, выраженного в дополнительном (дополнение до 2) или обратном (дополнение до 1) коде, переходит в старший разряд и сохраняется в знаковом разряде.

Вывод LBS используется как вход для сдвига влево и как выход для логического и арифметического сдвигов вправо. Он не используется при отсутствии сдвига. Вывод MBS служит входом для логического сдвига вправо и как выход для всех других операций, которые выполняются с помощью управляющих сигналов CO13 и CO14. Такая особенность позволяет использовать MBS как выход состояния знакового разряда БИС K1800BC1, который является старшим в разрядном формате устройства. Двухнаправленные выводы LBS и MBS используются для распространения сдвига при параллельной работе нескольких БИС. Эти выводы могут быть как входными, так и выходными в зависимости от направления сдвига. Для сдвига влево (к старшему разряду) LBS является входом для младшего разряда, а MBS — выходом для старшего. Для логического сдвига вправо LBS является выходом для младшего разряда БИС, а MBS — входом для старшего. Во время выполнения арифметического сдвига вправо и операций, при которых сдвиг не производится, MBS соединен со старшим разрядом БИС, что позволяет использовать его как выход состояния для проверки знака. В табл. 3.5 приводятся состояния выводов LBS и MBS при выполнении операций сдвига.

Т а б л и ц а 3.5

Использование выводов MBS и LBS в сдвигателе

Операция сдвига	LBS	MBS
Сдвиг влево	Вход сдвига	Выход сдвига
Отсутствие сдвига	Не используется	Выход старшего разряда
Логический сдвиг вправо	Выход сдвига	Вход сдвига
Арифметический сдвиг	То же	Выход старшего разряда

Выход проверки на нуль (ZD) выявляет наличие нулей (0000) на всех выходах сдвигателя. Проверка осуществляется при логических, двоичных и двоично-десятичных операциях внутри ALU и после выполнения операций сдвига. Сигнал ZD определяется выражением:  $ZD = \overline{OS0} \cdot \overline{OS1} \times$

$\times \overline{OS2} \cdot \overline{OS3}$ , где  $OS0 \dots OS3$  — внутренние выходы сдвигателя. Сигнал контроля по четности результата на выходе сдвигателя формируется операцией Иключающее ИЛИ:  $OS0 \oplus OS1 \oplus OS2 \oplus OS3$ .

Мультиплексор входной шины (MUX1) позволяет выдавать на шину IB информацию из сдвигателя или накопителя. При необходимости эта схема обеспечивает отключение внутренних источников от шины IB, что позволяет использовать данную шину как входную и принимать по ней информацию в накопитель или для выполнения в системе операций, не относящихся к данной БИС. Сигналы на входах CO9 и CO15 и DC1 позволяют выдавать на шину IB информацию с выходов сдвигателя либо накопителя. Если резуль-

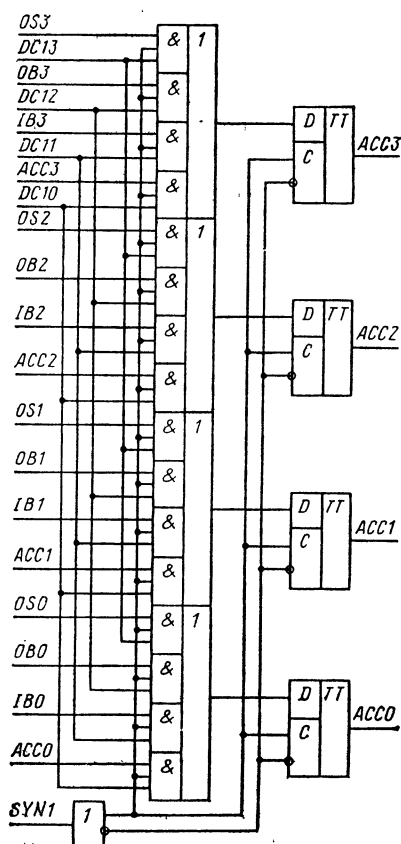


Рис. 3.5. Функциональная схема накопителя с мультиплексором

тат выполнения операции сдвига записывается в накопитель, то информация на шину IB поступает с его выходов. При других комбинациях сигналов CO9 и CO15 на шину IB выдается результат сдвига OS. При использовании шины IB для ввода информации в БИС к ней подключается вход накопителя. При использовании ее для вывода информации к ней подключается выход накопителя или сдвигателя. Сигнал на входе CO8 запирает или отпирает схемы формирователей шины IB. Когда на вход CO8 подана лог. 1, формирователи открыты и информация из сдвигателя или накопителя поступает на шину для выдачи данных из БИС. Лог. 0 на CO8 закрывает схемы формирователей и шина может быть использована для ввода информации в БИС.

Накопитель (ACC) предназначен для быстрого выполнения итерационных

операций, например, сложение с суммой в накопителе, умножение, деление и операции многоуровневого сдвига. АСС реализован на двухступенчатых синхронизируемых D-триггерах (ЛЭ18) (рис. 3.5). Синхронизация D-триггеров в АСС осуществляется по положительному фронту синхросигнала SYN1, информация со всех входов накопителя передается на его выходы. При других состояниях сигнала SYN1 информация на входах накопителя не влияет на состояние его выходов. Ограничения на изменение входной информации накладываются только в течение времени установки и времени удержания относительно положительного фронта синхросигнала.

Сигналы на входах CO9 и CO15 выполняют две функции: управление выбором источника информации для накопителя и определение информации для шины IB. В накопитель можно записать информацию от одного из трех источников: с шин IB, OB и выхода сдвигателя. Четвертая комбинация сигналов CO9 и CO15 осуществляет замыкание выходов накопителя на его вход, в результате информация может храниться в накопителе независимо от входной информации, поступающей в БИС. Новую информацию в накопитель можно записывать только по разрешающему синхросигналу SYN1, и изменить содержимое накопителя только с помощью сигналов управления невозможно. При передаче информации из накопителя в сдвигатель и при использовании его в качестве элемента обратной связи синхронизация накопителя может быть отключена. Режимы работы накопителя приведены в табл. 3.6.

Т а б л и ц а 3.6

Режимы работы накопителя

Информация на входе накопителя	Информация на шине IB	CO9	CO15
Со сдвигателя	С накопителя	0	0
С шины OB	Со сдвигателя	0	0
С шины IB	Со сдвигателя	1	0
С накопителя	Со сдвигателя	1	1

Дешифратор управления выходной шиной (DCO) и блок управления выходной шиной (MUXO) при воздействии сигналов CO5 и CO6 распределяют выходную информацию накопителя, которая может пересылаться по пяти адресам. Передача ее по трем из них (шина OB, MUXO и вход накопителя) управляется сигналами CO5 и CO6. Четвертая комбинация управляющих сигналов блокирует передачу данных из накопителя на все три указанных приемника (табл. 3.7). Кроме указанных пересылок возможна пере-



Таблица 3.7

## Распределение информации накопителя

Шина	MUXO	Сум-матор	CO5	CO6
OB	DI	0	0	0
OB	DI	ACC	0	1
ACC·OB	DI	0	1	0
OB	ACC	0	1	1

Таблица 3.8

## Формирование операнда OY сумматора с помощью сигналов CO0 и CO1

Вход OY сумматора	CO0	CO1
0	0	0
Выход фиксатора	0	1
шины OB	1	0
Выход MUXO	1	1
1		

ссылка информации из накопителя на шину IB, а также и на вход сдвигателя. Данная пересылка управляется сигналом CO7.

Когда шина OB не настроена на выдачу информации, она удерживается в состоянии лог. 1, благодаря чему шину OB можно использовать для ввода информации. При наличии на управляющих входах БИС комбинации сигналов  $CO5 \cdot \overline{CO6}$  происходят подключение выходов накопителя на шину OB и последующая подача его на входы сумматора внутри данной БИС. В этом случае при комбинации управляющих сигналов  $CO5 \cdot \overline{CO6}$  происходит маскирование по И внешней информации на шине OB и содержимого накопителя.

Мультиплексор выходной шины (MUXO) контролирует входную информацию от двух источников: шины DI и накопителя. Выбором информации управляют сигналы CO5 и CO6 (табл. 3.7). Информация с выходов MUXO поступает на входы мультиплексора данных и на маскирование. Мультиплексор данных передает информацию на вход сумматора. Сигналы на входах CO0 и CO1 управляют работой мультиплексора. При различных комбинациях этих управляющих сигналов на выходе MUXD можно получить информацию с MUXO, OB либо лог. 0 или 1. В табл. 3.8 показано действие этих управляющих сигналов.

На вход OY сумматора, кроме того, можно подать информацию из накопителя. Для этого сигналы CO0 и CO1 необходимо установить в состояние лог. 0, а сигналы CO5 и CO6 — согласно табл. 3.7 и 3.9. Сигнал в состоянии  $\overline{CO5} \cdot \overline{CO6}$  совместно с сигналами CO0 и CO1 управляет подачей данных на вход OY сумматора. При этом выполняется операция ИЛИ. Таблица 3.9 показывает действие этих управляющих сигналов.

Таблица 3.9

**Формирование операнда ОУ сумматора с помощью сигналов CO0, CO1, CO5 и CO6**

Вход ОУ сумматора	$\overline{CO5-CO6}$	CO0	CO1
Определяется сигналами CO0 и CO1	0	См. табл. 3.8	
ACC	1	0	0
ACC или OB	1	0	0
ACC или MUXO	1	1	0
1	1	1	1

Сигнал на входе CO4 позволяет прибавлять и вычитать константу 2. Состояние лог. 1 на этом входе не оказывает влияния на работу БИС. При CO4 = 0 с помощью сигналов CO0 и CO1 на вход ОУ сумматора подается код 0010 (плюс 2) или 1110 (минус 2). В многоразрядном устройстве этот вход обычно используется только у БИС, обрабатывающей самые младшие разряды слова. Однако при другом включении данной БИС в разрядном формате с помощью этого входа можно организовать прибавление или вычитание таких констант, как 2, 32, 34, 512, 544, 546 и т. д. Совместное действие сигналов CO4, CO0 и CO1 иллюстрируется табл. 3.10.

Таблица 3.10

**Формирование операнда ОУ сумматора с помощью сигналов CO0, CO1, CO4**

Вход ОУ сумматора	CO4	CO0	CO1
Определяется сигналами CO0 и CO1	1	См. табл. 3.8	
Плюс 2 (0010)	0	0	0
Минус 2 (1110)	1	1	1

Комбинации  $CO0 \cdot \overline{CO1} \cdot \overline{CO4}$  и  $\overline{CO0} \cdot CO1 \cdot \overline{CO4}$  обычно не используются. Комбинация  $CO0 \cdot \overline{CO1} \cdot \overline{CO4}$  дает в результате: OY0 = 0; OY2 = D12; OY1 = 1; OY3 = D13. Комбинация  $\overline{CO0} \cdot CO1 \cdot \overline{CO4}$  дает OY0 = 0; OY2 = OB2; OY1 = 1; OY3 = OB3.

**Функции, выполняемые ALU.** БИС ALU выполняет 28 логических операций, 23 операции двоичной арифмети-

ки, 17 операций двоично-десятичной арифметики, арифметический и логический сдвиги.

В логическом режиме работы ALU источником данных для сумматора могут быть D-триггеры фиксатора MUXO и АСС. Арифметическо-логическое устройство может выполнять полный набор логических операций, приведенных в табл. 3.11. В логическом режиме работы ( $CO12 = 0$ ) сумматор осуществляет операцию Иключающее ИЛИ над данными на входах OX и OY. Формирователь кодов при  $CO11 = 1$  работает как инвертор по сигналу на входе CO10. Источник информации для входа OX выбирается с помощью сигналов CO2 и CO3, для входа OY — с помощью сигналов CO0 и CO1 = CO4 = 1 и объединяется по ИЛИ с содержанием накопителя. Возможны и другие комбинации управляющих сигналов, дающие множество дополнительных операций и определяемые из предыдущих таблиц истинности.

В арифметическом режиме формирователь кодов и сумматор настроены на арифметический режим работы. Вход CO12 устанавливается в 1 (для нормального функционирования сумматора), а CO4 используется для приращения или вычитания 2. Сигнал на входе CO11 выбирает двоичный или двоично-десятичный режим работы. Операнды, поступающие на входы сумматора внутри БИС, определяются видом выполняемой операции. Большинство двоичных функций имеют двоично-десятичный эквивалент. В табл. 3.12 показаны арифметические операции, выполняемые в зависимости от управляющих сигналов. Как и для логических операций, другие комбинации управляющих сигналов и функций возможны и могут в случае необходимости устанавливаться с помощью таблиц истинности (см. табл. 3.3, 3.10).

В БИС K1800BC1 данные могут пересылаться в накопитель и из него, в сдвигатель и из него. Пересылки определяются управляющими сигналами CO5, CO6, CO7, CO8, CO9 и CO15 (табл. 3.13). Сигналы CO5 и CO6 определяют, куда попадают данные с выхода накопителя, сигнал CO7 определяет источник информации для сдвигателя, сигнал CO8 открывает и закрывает шину IB. Сигналы CO9 и CO15 управляют источником информации для шины IB и накопителя. Возможными источниками информации для накопителя являются: АСС (замыкание выхода накопителя на его вход), шина IB, шина OB, OS (результат со сдвигателя). Источниками информации для сдвигателя могут быть сигналы с выхода накопителя (АСС) и сумматора (F). При  $CO8 = 0$  шина IB запирается, и в этом случае она может быть использована для ввода информации или для выполнения других операций в устройстве, не относящихся к данной БИС. Когда шина IB открыта, по ней можно выдавать информацию из накопителя либо результат, полученный в сдвигателе.

Таблица 3.11

## Логические операции, выполняемые ALU

Операция	MUXD		MUXM		Формирова- тель кодов	ACC
	CO0	CO1	CO2	CO4	CO10	$\overline{CO5} \cdot CO6$
Установка 0	0	1	0	1	1	0
DI	0	0	1	0	1	0
OB	0	0	0	1	1	0
$\overline{DI}$	0	0	1	0	0	0
$\overline{OB}$	0	0	0	1	0	0
$DI \vee OB$	0	0	1	1	1	0
$DI \vee \overline{OB}$	0	1	0	0	0	0
$\overline{DI} \vee OB$	1	0	0	0	0	0
$DI \cdot OB$	0	0	0	0	1	0
$DI \cdot \overline{OB}$	0	1	1	1	1	0
$\overline{DI} \cdot OB$	0	1	0	0	1	0
$DI \oplus OB$	0	1	1	0	1	0
$\overline{DI} \oplus \overline{OB}$	0	1	1	0	0	0
$\overline{DI} \cdot \overline{OB}$	0	0	0	0	0	0
$\overline{DI} + \overline{OB}$	0	0	1	1	0	0
Установка 1	0	1	0	1	0	0
$ACC \cdot DI$	1	0	1	0	1	1
$ACC \cdot \overline{OB}$	0	1	0	1	1	1
$\overline{ACC} \vee DI$	1	0	1	0	0	1
$\overline{ACC} \vee OB$	0	1	0	1	0	1
$ACC \oplus DI$	0	0	1	0	1	1
$ACC \oplus \overline{DI}$	0	0	1	0	0	1
$ACC \oplus OB$	0	0	0	1	1	1
$ACC \oplus \overline{OB}$	0	0	0	1	0	1
$ACC \oplus DI \cdot OB$	0	0	0	0	1	1
$ACC \oplus \overline{DI} \cdot \overline{OB}$	0	0	0	0	0	1
$ACC \oplus DI \vee OB$	0	0	1	1	1	1
$ACC \oplus \overline{DI} \vee \overline{OB}$	0	0	1	1	0	1

Двоичные операции (+CRI)	Двоично-десятичные операции (+CRI)	MUXD		MUXO			MUXD ( $\pm 2$ )	ACC	Формирователь кодов
		CO0	CO1	CO2	CO3	CO4			
CO11-1	CO11-0								
DI+OB	DI+OB	1	0	0	1	1	1	0	1
DI+OB	DI+доп. 9 OB	1	0	0	1	1	1	0	0
OB+DI	OB+доп. 9 DI	0	1	1	0	0	1	0	0
DI	DI	0	0	1	1	1	1	0	1
OB	OB	0	0	0	1	1	1	0	1
DI	доп. 9 DI	0	0	1	0	0	1	0	0
OB	доп. 9 OB	0	0	0	0	0	1	0	0
-1+DI	X	1	1	1	1	0	1	0	1
-1+OB	X	1	1	1	1	0	1	0	1
-2+DI	X	1	1	1	1	0	0	0	1
-2+OB	X	1	1	1	1	0	0	0	1
+2+DI	+2+DI	0	0	1	1	0	0	0	1
+2+OB	+2+OB	0	0	0	1	0	0	0	1
DI+DI	DI+DI	1	0	1	1	0	1	0	1
OB+OB	OB+OB	0	1	0	1	0	1	0	1
ACC+DI	ACC+DI	0	0	1	0	1	1	0	1
ACC+OB	ACC+OB	0	0	0	1	1	1	1	1
ACC+DI	ACC+доп. 9 DI	0	0	1	0	0	1	0	1
ACC+OB	ACC+доп. 9 OB	0	0	0	1	0	1	0	1
ACC+DI·OB	ACC+DI·OB	0	0	0	0	0	1	1	1
ACC+DI·OB	ACC+доп. 9 DI·OB	0	0	0	0	0	1	0	1
ACC+DIVOB	X	0	0	0	1	1	1	1	1
ACC+DIVOB	X	0	0	1	1	1	1	0	1

Примечание. Доп. 9DI — дополнение до 9 шины DI.

Таблица 3.13

## Пересылка данных в ALU

Источник информации для ACC	Источник информации для сдвигателя	Состояние на шине IB	CO7	CO8	CO9	CO15
OS	ACC	Заперта	0	0	0	0
OB		»	0	0	0	1
IB		»	0	0	1	0
ACC		»	0	0	1	1
OS		Выдача ACC	0	1	0	0
OB		Выдача OS	0	1	0	1
IB		Выдача OS	0	1	1	0
ACC		Выдача OS	0	1	1	1
OS	F	Заперта	1	0	0	0
OB		»	1	0	0	1
IB		»	1	0	1	0
ACC		»	1	0	1	1
OS		Выдача ACC	1	1	0	0
OB		Выдача OS	1	1	0	1
IB		»	1	1	1	0
ACC		»	1	1	1	1

## 3.2. Устройство микропрограммного управления

Устройство микропрограммного управления K1800Y1 (MCU) является управляющим блоком микропроцессора. Оно предназначено для построения микропроцессоров и микропрограммируемых устройств вычислительной техники совместно с другими микросхемами серий K1800 и K500. В комплекте K1800 микросхема MCU работает с микросхемами ALU и COM, формирует адрес микрокоманды и осуществляет управление последовательностью выполнения операций. Микросхема MCU реализует 16 команд и имеет структуру для работы с управляющей памятью различной организации. БИС состоит из восьми регистров, мультиплексоров и сложных логических схем для обработки сигналов управления и выдачи адресов управляющей памяти. БИС имеет четыре разряда и позволяет наращивать разрядность кратно четырем. Высокую скорость обработки данных в разрабатываемых устройствах с микропрограммным управлением обеспечивают пять 4-разрядных шин IB, OB, NA, RG0 и RG3, две из которых (IB, OB) — двуна-

Таблица 3.14

## Назначение выводов БИС K1800BU1

Номер вывода	Обозначение	Назначение
1,24	$U_{CC1}$	Напряжение источника питания, —5,2 В
2	CRO	Выход переноса
3...6	RG01, RG02, RG03, RG00	Выходы адресного регистра (RG0) разрядов 0...3
7,17	$U_{SS0}$	Общий (выходных транзисторов)
8...11	OB3...OB0	Выходная шина OB — двунаправленные выводы разрядов 0...3
12,36	$U_{SS}$	Общий (схемы)
13...16	IB3...IB0	Входная шина IB — двунаправленные выводы разрядов 0...3
18,26,27	CO6, CO7, CO8	Входы управления шинами IB и OB
19...22	RG30...RG33	Выходы регистра состояния (RG3) разрядов 0...3
23	$\overline{EX}$	Двунаправленный вывод расширения
25,48	$U_{CC2}$	Напряжение источника питания, —2 В
28...30, 32	CO2, CO0, CO1, CO3	Входы управления регистром состояния
31	DI	Вход данных регистра состояния
33...35, 37	NA3, NA1, NA2, NA0	Входы следующего адреса (NA) разрядов 0...3
38	CO4	Вход управления условным переходом
39	$\overline{BR}$	Вход условного перехода
40	$\overline{SR}$	Вход установки в исходное состояние
41...44	IC3, IC0, IC1, IC2	Вход команды управления (IC) разрядов 0...3
45	SYN	Вход синхронизации
46	CRI	Вход переноса
47	CO5	Вход управления разрешением адресного регистра

Примечание. Разряд 0 — младший, разряд 3 — старший.

правленные. Назначение выводов MCU представлено в табл. 3.14, а условное графическое обозначение на рис. 3.6.

Структурная схема MCU (рис. 3.7) состоит из регистра адреса (RG0), регистра повторения (RG1), регистра команд (RG2), регистра состояния (RG3), стека регистров (RGS), содержащего четыре регистра (RG4 ...RG7), мультиплексора блока следующего адреса, блока следующего адреса, блока контроля состояния, блока приращения и переноса, блока управления выдачей адреса. Все регистры, за исклю-

чением регистра адреса, имеют на входе мультиплексоры, позволяющие принимать информацию из различных шин и блоков. Регистры RG0 ...RG7 предназначены для временного хранения данных, адресов и команд, изменяющихся в процессе работы БИС. Все регистры построены на двух ступенчатых синхронизируемых положительным фронтом RS-триггерах (ЛЭ20). При других состояниях сигнала синхронизации независимо от состояния на входах триггера информация на их выходах не меняется. Регистры устанавливаются в исходное состояние синхронизированным сигналом  $\overline{SR}$ .

Передача данных и вычисления в MCU осуществляются с помощью 13 управляющих сигналов на входах CO0 ...CO8, IC0 ...IC3. Операциями регистра RG3 управляют входы CO0 ...CO3, кроме того, состояние регистра RG3 может быть установлено по сигналу на входе DI. Управляющие входы CO6 ...CO8 определяют источник или место назначения информации шин IB и OB. Выводы условного перехода BR и расширителя EX определяют состояние внутри схемы. MCU выполняет 16 команд, выбираемых с помощью управляющих входов IC0 ...IC3:

- INC — приращение на 1;
- JMP — переход по входному коду следующего адреса;
- JIB — переход по коду шины IB;
- JIN — переход по коду шины IB и загрузка RG2;
- JPI — переход на основную команду (RG2);
- JEP — переход по коду шины OB;
- JL2 — переход по входному коду NA и загрузка RG2;
- JLA — переход по входному коду NA и загрузка адреса в RG1;
- JSR — переход к подпрограмме;
- RTN — возврат от подпрограммы;
- RSR — повторение подпрограммы (загрузка регистра RG1 входным кодом NA);
- RPI — повторение команды;

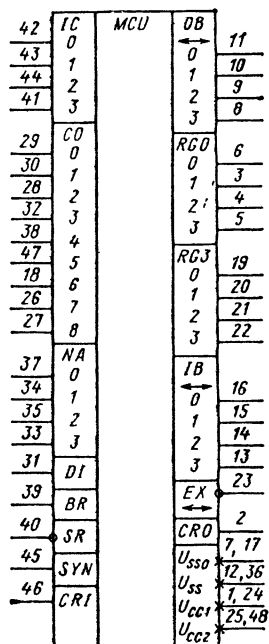


Рис. 3.6. Условное графическое обозначение БИС устройства микропрограммного управления



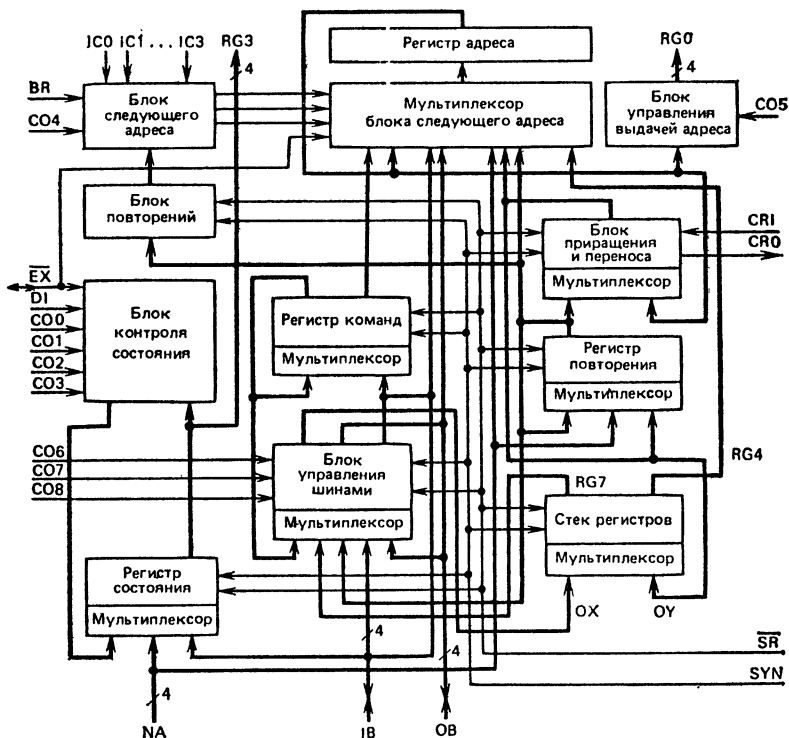


Рис. 3.7. Структурная схема БИС К1800ВУ1

BRC — переход по входному коду NA при выполнении условия, в противном случае — переход к очередной команде;

BSR — переход к подпрограмме при выполнении условия, в противном случае — переход к очередной команде;

ROC — возврат от подпрограммы при выполнении условия, в противном случае — переход по входному коду NA;

BRM — условный переход и переадресация с помощью входов условного перехода (условный переход на несколько направлений).

### Описание работы MCU

Адресный регистр (RG0) содержит адрес слова в памяти, к которому производится обращение. Информация в RG0 поступает через мультиплексоры в зависимости от значения сигналов на входах управляющего дешифратора в блоке следующего адреса, выбирающего микрокоманду и определяющего источник поступления адреса (табл. 3.15). Возможными источниками информации являются регистры RG1, RG2, RG4, входы шин NA, IB, OB и блок прираще-

Таблица 3.15

## Условия выполнения команд

Команда	Управление				Условия перехода или повторения	Выходы регистра или триггера					
	IC <sub>3</sub>	IC <sub>2</sub>	IC <sub>1</sub>	IC <sub>0</sub>		RG0	RG1	RG2	RGS	RSQ	
											SR
X	X	X	X	X	X	0	0	0	Загрузка RG0 в RGS	0	
INC	1	0	0	1	X	0	—	—	—	—	
JMP	0	1	0	1	X	1	—	—	—	—	
JIB	1	0	0	1	X	1	—	—	—	—	
JIN	1	0	0	1	X	1	IB	—	—	—	
JPI	1	0	1	0	X	—	—	—	—	—	
JEP	1	1	1	0	X	—	—	—	—	—	
JL2	0	0	0	1	X	—	—	—	—	—	
JLA	0	0	0	1	X	—	—	—	—	—	
JSR	0	0	0	1	$\overline{RSQ} \vee \overline{RIN} \cdot \overline{EX} = 0$ $\overline{RSQ} \vee \overline{RIN} \cdot \overline{EX} = 1$	—	—	—	Загрузка RG0 в RGS Загрузка RG0 + CR1	—	
RTN	1	1	1	1	$\overline{RSQ} \vee \overline{RIN} \cdot \overline{EX} = 0$ $\overline{RSQ} \vee \overline{RIN} \cdot \overline{EX} = 1$	RG4 RG4	RG1+CR1	—	—	—	—
RSR	1	1	0	1	X	RG0+CR1	NA	—	—	—	1

Команда	Управление				Условия перехода или повторения	Выходы регистра или триггера					
	IC3	IC2	IC1	IC0		SR	RG0	RG1	RG2	RGS	RSQ
RPI	1	0	1	1	1	$\overline{RSQ} \vee \overline{RIN} \cdot \overline{EX} = 0$ $\overline{RSQ} \vee \overline{RIN} \cdot \overline{EX} = 1$	— RG1·NA	RG1+CRI —	— —	— 0	
BRC	0	1	0	1	1	$\overline{EX} \cdot (CO4 \vee \overline{BR}) = 0$ $\overline{EX} \cdot (CO4 \vee \overline{BR}) = 1$	NA RG0+CRI	— —	— —	— —	
BSR	0	1	0	0	1	$\overline{EX} \cdot (CO4 \vee \overline{BR}) = 0$ $\overline{EX} \cdot (CO4 \vee \overline{BR}) = 1$	NA RG0+CRI	— —	Загрузка RG0+CRI —	— —	
ROC	0	1	1	1	1	$\overline{EX} \cdot (CO4 \vee \overline{BR}) = 0$ $\overline{EX} \cdot (CO4 \vee \overline{BR}) = 1$	RG4 NA	— —	— Разгрузка RGS в RG0	— —	
BRM	0	1	1	0	1	CO4=1 CO4=0	NA RG00=NAO·BR RG01=NA1·EX RG02=NA2 RG03=NA3	— —	— —	— —	

Примечания: 1. RSQ — выход триггера в блоке повторения. 2. RIN=RG13 · RG12 · RG11 · RG10.

ния и переноса. В течение каждого микроцикла, когда блок следующего адреса формирует следующий адрес управляющей памяти, параллельно работают и другие схемы процессора, такие как ALU. Информация из адресного регистра поступает на выход через блок управления выдачей адреса, управляемый сигналом CO5. Если CO5 = 1, информация из адресного регистра поступает на выходы микросхемы RG00 ...RG03. Если CO5 = 0, входы блока переходят в состояние лог. 1 и выходные выходы регистра RG0, являющиеся внешним источником адреса управляющей памяти, блокируются. Когда выдача информации из регистра RG0 запрещена, она используется только для выполнения внутренних операций.

*Регистр повторения (RG1)* работает как счетчик для повторяющихся единичных микрокоманд или повторяющихся подпрограмм (команд многократного сдвига, умножения и деления). При микропрограммном исполнении последовательности команд число их повторений первоначально загружается в регистр RG1 со входов NA командой RSR. После выполнения каждой выбранной микрокоманды или подпрограммы содержимое RG1 увеличивается на 1. При достижении заданного числа повторений схема переходит к выполнению следующей микрокоманды.

Регистр RG1 может выполнять функции накопительного регистра адреса управляющей памяти. В этом режиме настоящий адрес RG0 переносится в RG1 под действием команды JLA. Под действием команды RPI можно вернуть адрес из RG1 обратно в RG0. Работа регистра RG1 управляется блоком следующего адреса. Источником данных являются входы NA, блок приращения и регистр RG0. Информация из регистра RG1 передается через мультиплексоры на регистр RG0, а также на блок приращения и через мультиплексор и блок управления шинами — на выходы шин IB и OB.

*Регистр команд (RG2)* используется в основном как регистр команд или регистр кода операции. После вызова машинной команды в RG2 может запоминаться начальный адрес управляющей памяти. Позже этот адрес может быть передан в регистр RG0. Работа регистра RG2, как и предыдущих регистров, контролируется кодом IC0 ...IC3 на входах управляющего дешифратора в блоке следующего адреса. Источником информации для RG2 является входная шина IB. Информация поступает в регистр во время выполнения команд JIN и JL2 и передается из RG2 в RG0 под действием команды JPI. При необходимости в RG2 мож-

но хранить адрес управляющей памяти и вектор прерываний, который также можно передать в RG0.

Регистр состояния (RG3) используется для запоминания условий признака. Он может загружаться со входов NA и шины IB. Значение разрядов RG3 может быть установлено по сигналу DI. На выводах RG30...RG33 постоянно содержится информация о состоянии регистра RG3 и от любого его выхода информация может поступать на вывод расширения  $\overline{EX}$ . Регистр RG3 управляется кодом CO0...CO3 на входах дешифратора блока контроля состояния (табл. 3.16). Управляющие входы CO0 и CO1 выбирают один из четырех разрядов RG3 для загрузки информации со входа DI. Загрузка происходит при CO2 = 0. Кроме того, CO1 и CO0 выбирают входы шины IB и NA для параллельной загрузки информации в регистр RG3. По сигналу CO3 = 0 разрешается выход бита RG3, предварительно выбранного сигналами CO0, CO1, на шину  $\overline{EX}$ .

Таблица 3.16

Работа регистра RG3

Управляющие входы				$\overline{SR}$	Выходы регистра RG3				$\overline{EX}$
CO3	CO2	CO1	CO0		RG33	RG32	RG31	RG30	
X	X	X	X	0	0	0	0	0	—
0	0	0	0	1	—	—	—	DI	$\overline{RG30}$
0	0	0	1	1	—	—	DI	—	$\overline{RG31}$
0	0	1	0	1	—	DI	—	—	$\overline{RG32}$
0	0	1	1	1	DI	—	—	—	$\overline{RG33}$
0	1	0	0	1	—	—	—	—	$\overline{RG30}$
0	1	0	1	1	—	—	—	—	$\overline{RG31}$
0	1	1	0	1	—	—	—	—	$\overline{RG32}$
0	1	1	1	1	—	—	—	—	$\overline{RG33}$
1	0	0	0	1	—	—	—	DI	1
1	0	0	1	1	—	—	DI	—	1
1	0	1	0	1	—	DI	—	—	1
1	0	1	1	1	DI	—	—	—	1
1	1	0	0	1	0	0	0	0	1
1	1	0	1	1	IB3	IB2	IB1	IB0	1
1	1	1	0	1	NA3	NA2	NA1	NA0	1
1	1	1	1	1	—	—	—	—	1

Другой функцией RG3 является расширение адреса управляющей памяти организацией ее в формат Слово—Страница. Адрес слова в данном случае содержится в ре-

гистре адреса, а адрес страницы — в регистре состояния. При параллельной работе двух БИС К1800ВУ1 четыре бита регистра RG3 адресуют 16 страниц, а восемь — 256 возможных страниц по 256 слов каждая (используя 8 бит регистра адреса). Третьей функцией регистра RG3 является запоминание всего или части кода операции. В этом случае биты кода выдаются на  $\overline{EX}$  и проверяются для повторной расшифровки решений.

Стек регистров (RG4 ...RG7) используется для хранения адресов возврата при обращении к подпрограммам и для запоминания состояния внутренних регистров при обработке прерываний. Информация из данного стека считывается в порядке, обратном ее поступлению. Стек организован так, что выход каждого триггера одного регистра подключен ко входу триггера того же разряда следующего регистра (табл. 3.17). Стек регистров состоит из 16 триггеров (ЛЭ20) с организацией  $4 \times 4$  (рис.3.8). Первый регистр

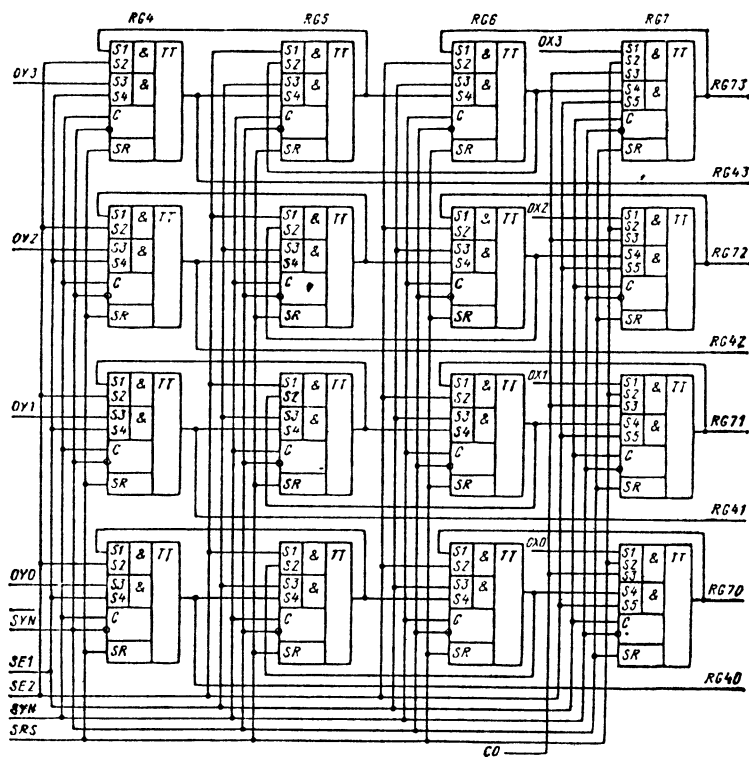


Рис. 3.8. Функциональная схема стека регистров (RG4 ... RG7)

Работа стека регистров MSU

Команда	Управление								Следующее состояние						
	SR	EX	RSQ	CO6	CO7	CO8	RG4				RG5	RG6	RG7		
	0	X	1	X	X	X	RG1	RG0	RG4	RG5	RG6	RG7			
RTN V RPI	0	X	1	X	X	X	RG1	RG0	RG4	RG5	RG6	RG7			
	0	X	0	X	X	X	RG0	RG0	RG4	RG5	RG6	RG7			
<u>RTN V RPI</u>	0	X	X	X	X	X	RG0	RG0	RG4	RG5	RG6	RG7			
	1	X	0	X	X	X	RG0	RG0	RG4	RG5	RG6	RG7			
	1	1	1	X	X	X	RG0+GRI	RG0	RG4	RG5	RG6	RG7			
	1	0	1	X	X	X	RG0+GRI	RG0	RG4	RG5	RG6	RG7			
	1	1	1	X	X	X	RG0+GRI	RG0	RG4	RG5	RG6	RG7			
RTN	1	X	X	X	0	0	RG5	RG5	RG6	RG7	0	0			
	1	X	X	X	1	X	RG5	RG5	RG6	RG7	0	0			
	1	X	X	0	0	1	RG5	RG5	RG6	RG7	IB	IB			
	1	X	X	1	0	1	RG5	RG5	RG6	RG7	OB	OB			
	1	X	X	1	0	1	RG5	RG5	RG6	RG7	OB	OB			
ROC	1	1	X	X	X	X	RG5	RG5	RG6	RG7	0	0			
	1	0	X	X	1	X	RG5	RG5	RG6	RG7	0	0			
	1	0	X	X	0	1	RG5	RG5	RG6	RG7	IB	IB			
	1	0	X	0	0	1	RG5	RG5	RG6	GG7	OB	OB			
	1	0	X	1	0	1	RG5	RG5	RG6	GG7	OB	OB			
<u>JSR V BSR V RTN V ROC</u>	1	X	X	X	X	X	—	—	—	—	—	—			

(RG4) и последний (RG7) имеют выходы информации на мультиплексор блока управления шинами.

Выход каждого триггера одного регистра подключен ко входу триггера того же разряда следующего регистра. Обратная связь между выходом последующего регистра и входом предыдущего позволяет сдвигать информацию в обоих направлениях. Информация записывается в регистр RG4 через внутренние входы OY0 ... OY3 при определенной комбинации внутренних сигналов выбора SE1, SE2, а в RG7 — через внутренние входы OX0 ... OX3. На входы регистров поступают внешние синхросигналы SYN и  $\overline{\text{SYN}}$  и внутренний управляющий сигнал CO из блока управления шинами для записи информации из шин IB и OB в регистр RG7 стека. Основным здесь является регистр RG4, так называемый верхний регистр стека.

При переходе к подпрограмме место назначения возврата автоматически загружается в верхний регистр стека. При возврате от подпрограммы к основной программе информация из RG4 загружается в адресный регистр RG0, а затем продвигается в стеке вверх или вниз на одну позицию при поступлении каждого синхроимпульса. Содержимое стека сдвигается без изменения последовательности информации. Благодаря наличию дополнительных входов и выходов в регистре RG7 стек может программироваться так, что время выбора информации из любого регистра не превышает двух тактов синхронизации.

Появление информации из регистра RG7 на шинах IB и OB во время загрузки означает, что стек загружен полностью. При попытке записать в стек число слов, большее чем число его регистров, первое слово будет утеряно. При чтении нижний регистр RG7 стека заполняется нулями. Операции стека управляются входами IC0 ... IC3 и блоком следующего адреса. Кроме того, управляющие входы CO6 ... CO8 направляют информацию из стека на шины IB и OB. Состояние регистров стека RG4 ... RG7 описано табл. 3.17, из которой видно, что информацию из RG7 можно считывать только при выполнении команд JSR или BSR с помощью операции условного перехода к подпрограмме. Операции чтения из стека, которые выполняются командами RIN и ROC, формируют 1 на шинах IB и OB. В этом случае информацию с любой из этих шин, выбранной управляющим входом CO6, можно записывать в RG7, если необходимо расширить глубину стека, с помощью внешних схем.



Все управляющие команды MCU, за исключением операций в стеке, разрешают выводить данные из регистра RG4 на шины IB и OB. Управляющие стеком сигналы SRS являются функциями сигнала  $\overline{SR}$ , который действует одновременно с SYN. Стек устанавливается в исходное состояние за 5 циклов синхросигналов. В течение первого синхросигнала стек находится в режиме загрузки, но устанавливаются регистры RG0 ...RG3, содержащие промежуточную информацию. В течение последующих четырех синхросигналов информация полностью стирается. Для увеличения глубины стека можно использовать регистр повторов RG1 как пятый регистр стека. Разрядность стека можно увеличить, добавляя блок регистров на ИС малой степени интеграции, подключаемого через внешние шины IB и OB, а также при параллельном включении БИС K1800BY1.

*Вход синхронизации (SYN)* используется для синхронизации работы регистров, которые построены на двухступенчатых RS-триггерах и запоминают информацию при воздействии положительного фронта синхроимпульса, когда информация, находящаяся на входах регистра, записывается и передается на его выходы. При отсутствии синхросигнала изменение сигналов на входах регистров не влияет на состояние их выходов. Общий сигнал синхронизации подается ко всем восьми регистрам. Во время установки изменение информации на входах регистров недопустимо.

*Двухнаправленные шины IB и OB* применяются для ввода—вывода информации, записанной во внутренних регистрах БИС K1800BY1. При вводе информации по сигналам на управляющих входах CO7, CO8 выбирается необходимый регистр и разрешается ее вывод из регистра через выходные ЛЭ блока управления шинами на IB и OB в зависимости от состояния на входе CO6 (табл. 3.18). Источниками информации могут быть регистры RG1, RG2, RG4, RG7. Когда информация с микросхемы не выводится, формирователи шин устанавливаются в 1 для обеспечения режима ввода данных через шины IB и OB.

Регистры RG1 и RG2 выбираются непосредственно, в то время как выбор RG4 и RG7 зависит от кода на входах IC0 ...IC3. Шина IB является входом регистров RG0 и RG2 за время выполнения команд JIB, JIN и JL2. Под действием этих команд формирователи шины IB устанавливаются в состояние лог. 1 во избежание конфликта между внутренней информацией регистров и входящей информацией шины IB.

Таблица 3.18

## Операции вывода данных через шины IB и OB

Команда	$\overline{SR}$	CO7	CO8	CO6=0		CO6=1	
				OB	IB	OB	IB
X	X	0	0	1	RG1	RG1	1
JSR $\vee$ BSR · EX	X	0	1	1	RG7	RG1	1
X	0	0	1	1	RG7	RG7	1
RTN $\vee$ ROC · EX $\overline{JSR \vee}$	1	0	1	1	1	1	1
$\overline{RTN \vee (BSR \vee ROC) \times}$	1	0	1	1	RG4	RG4	1
$\times EX$							
X	X	1	0	1	RG2	RG2	1
X	X	1	1	1	1	1	1

Четырехразрядная схема приращения в блоке *приращения и переноса* используется в нескольких управляющих командах. Одной из них является команда увеличения на 1, увеличивающая адрес RG0 и делающая линейно шаги через микрокоманду. Следующей функцией схемы является увеличение на 1 содержимого регистра RG1, когда он используется как индексный счетчик для повторяющихся микрокоманд или подпрограмм. Увеличение на 1 также используется в командах JSR, BSR, JLA (табл. 3.15). Данные на схему приращения поступают через мультиплексор от регистров RG0, RG1. Работа схемы контролируется кодом на входах IC0 ... IC3.

Схема приращения расширяется с помощью входного (CRI) и выходного (CRO) переносов, когда несколько БИС K1800BY1 работают параллельно. На вход переноса БИС K1800BY1, обрабатывающей младшие разряды управляющей памяти, подается 1 для операции увеличения на 1. Этот вход обычно включен постоянно, но в некоторых случаях может контролироваться системой. Выход переноса соединен с входом переноса микросхемы, обрабатывающей старшие разряды адреса управляющей памяти. Выходной перенос самого старшего разряда не используется для операции счета, но может использоваться для определения максимального значения числа на входах схемы приращения. Сигнал выходного переноса CRO является функцией сигнала CRI и состояния регистра RG1 или RG0, как показано в табл. 3.19. (Кроме того, при RSQ = 0 выход CRO всегда контролирует состояние регистра RG0 независимо от сигналов на входах IC0 ... IC3).

Блок повторения обеспечивает условия для работы БИС K1800BY1 и последовательность повторения команд,

Команда	RSQ	CRO
RPI $\sqrt$ RTN	0	CRI·RG03·RG02·RG01·RG00
RPI $\sqrt$ RTN	1	CRI·RG13·RG12·RG11·RG10
RPI $\sqrt$ RTN	X	CRI·RG03·RG02·RG01·RG00

как при работе регистра повторения RG1. Триггер в блоке повторения устанавливается в состояние лог. 1, когда константа повторения загружается в регистр RG1 по команде повторения подпрограммы RSR. Он устанавливается в состояние 0, когда содержимое RG1 достигает конечного числа повторений. Управляя состоянием триггера, данный блок может контролировать выполнение команды повторения. Блок следующего адреса под воздействием сигнала условного перехода BR, сигнала расширения  $\overline{EX}$  и сигнала CO4 управляет выполнением операции повторения или условного перехода. При выполнении условного перехода BRC, BSR и ROC источником информации являются сигналы на входе BR. При параллельном включении БИС K1800BY1 описывают состояние сигнала условного перехода любого входа BR, разрешенного управляющим входом CO4. Информация на входе BR выбранной БИС направляется на вывод  $\overline{EX}$ , общий для всех БИС K1800BY1.

Выполнение условного перехода определяется выражением  $\overline{EX} \cdot (CO4 \sqrt{BR})$ . По сигналу  $CO4 = 0$  разрешается управление по входу BR. Тогда условный переход действует при  $BR = 1$  и вывод  $\overline{EX}$  распространяет это условие перехода на все параллельные БИС. Сигнал на  $\overline{EX}$  является дополнительным при выполнении операции И.

Команда BRM является типом условного переноса, где выводы BR и  $\overline{EX}$  определяют содержимое регистра RG0. В этом случае  $RG03 = NA3$ ;  $RG02 = NA2$ ;  $RG01 = NA1 \cdot EX$ ;  $RG00 = NA0 \cdot BR$ . Указанные входы регистра RG0 поддерживаются в таком состоянии при  $CO4 = 0$  и информация с четырех входов NA направляется непосредственно в RG0 при  $CO4 = 1$ . Передача используется при параллельных соединениях двух БИС K1800BY1 для выполнения 4-ходового условного перехода с помощью двух младших адресных битов. Сигнал CO4 запрещает условный переход на более старших БИС. Если на обеих БИС

$CO4 = 0$ , то возможно организовать 8 типов условных переходов с помощью сигнала  $\overline{EX}$  и микропрограммного адреса, имеющего значения  $NA7, NA6, NA5 \cdot \overline{EX}, NA4 \cdot BR2, NA3, NA2, NA1 \cdot \overline{EX}, NA0 \cdot BR1$ , когда  $BR1$  является входом условного перехода в схеме MSB и  $BR2$  — входом условного перехода в схеме LSB. Операции повторения JSR, RTN и RPI реагируют на сигнал  $\overline{EX}$ , а не на BR и выполняются при наличии функции  $RSQ \vee RIN \cdot \overline{EX}$ . Вывод  $\overline{EX}$  производит операции, которые задаются частью БИС K1800BY1 или внешними цепями. Сигнал  $\overline{EX}$  управляется входом BR для выполнения условного перехода. Значения разрядов регистра состояния RG3 могут передаваться на  $\overline{EX}$  с помощью управляющих сигналов на  $CO0 \dots CO3$ . Для выполнения условного перехода выбранный разряд регистра RG3 поступает на вывод  $\overline{EX}$  всех параллельно работающих БИС K1800BY1. Управляющие входы  $CO0 \dots CO3$  работают независимо от управляющих команд, выбранных кодом на входах  $IC0 \dots IC3$ , и сигналы на них могут быть запрограммированы для генерации условного перехода. Регистр повторения RG1 и триггер блока повторения управляют  $\overline{EX}$  при выполнении команд JSR, RTN и RPI. Если  $RSQ = 1$  (режим повторения) и в RG1 содержится число повторений подпрограммы,  $\overline{EX}$  переходит в 0. Сигнал  $\overline{EX}$ , поступающий на все параллельные БИС K1800BY1, собирает информацию о числе циклов в RG1 для управления последовательностью повторений. За время этой последовательности выдача разрядов содержимого RG3 может быть запрещена сигналом  $\overline{EX}$  во избежание превышения числа циклов RG1. В неповторяющемся режиме ( $RSQ = 0$ ) сигнал  $\overline{EX}$  не влияет на выполнение команд JSR, RTN и RPI. Возможно управление или переадресация линии  $\overline{EX}$  от внешнего сигнала. Сигналы  $\overline{EX}$  параллельных БИС K1800BY1 и внешний сигнал могут быть объединены ЛЭ И, при этом будет запрещено внутреннее управление формированием нуля на выводе  $\overline{EX}$ . Это не используется при нормальной работе БИС K1800BY1, но применяется при выполнении функций условного перехода. Таблица 3.20 описывает состояние  $\overline{EX}$ , где функция повторения равна  $RSQ \cdot (RG13 \cdot RG12 \cdot RG11 \cdot RG10)$ .

**Система команд.** БИС K1800BY1 вырабатывает последовательность адресов микропрограммы из 16 управляющих команд в зависимости от кода на входах  $IC0 \dots IC3$ . Каждая управляющая

Состояние вывода  $\overline{EX}$ 

$\overline{EX}$	Команда	CO4	CO3	CO1	CO0	Повторение функции	Примечание
1			1	X	X		Вход условного перехода или функция повторения не может воздействовать на $\overline{EX}$ в этой команде
$\overline{RG30}$		0	0	0	0		
$\overline{RG31}$	$\overline{JSRV RPIVRTNV}$	X	0	0	1	X	
$\overline{RG32}$	$\overline{BRCVBSRVROC}$		0	1	0		
$\overline{RG33}$			0	1	1		
1			1	X	X		Вход условного перехода не может воздействовать на $\overline{EX}$ при CO4=1
$\overline{RG30}$		0	0	0	0		
$\overline{RG31}$		0	0	0	1		
$\overline{RG32}$	$\overline{BRCVBSRVROC}$	1	0	1	0	X	
$\overline{RG33}$		0	0	1	1		

Окончание табл. 3.20

$\overline{EX}$	Команда	CO4	CO3	CO2	CO0	Повторяющиеся функции	Примечание
BR	BRC V BSR V ROC	1	X	X	X		Вход условного перехода вы- бирается на линии $\overline{EX}$ при CO4=0 и командой является BRC, BSR или ROC
$\overline{BR} \cdot \overline{RG30}$		0	0	0	0		
$\overline{BR} \cdot \overline{RG31}$		0	0	0	1	X	
$\overline{BR} \cdot \overline{RG32}$		0	1	1	0		
$\overline{BR} \cdot \overline{RG33}$		0	1	1	1		
1	JSR V RPI V RTN	1	X	X	X		Если функция повторения рав- на 0, $\overline{EX}$ не зависит от JSR, RPI или RTN
$\overline{RG30}$		0	0	0	0	0	
$\overline{RG31}$		X	0	0	1		
$\overline{RG32}$		1	1	1	0		
$\overline{RG33}$		0	1	1	1		
0	JSR V RPI V RTN	X	X	X	X	1	Если функция повторения рав- на 1, $\overline{EX}$ переходит в 0 при действии JSR, RPI или RTN

команда определяет источник данных для следующего адреса памяти, который записывается в регистр RG0.

INC — приращение на 1, направляет содержимое RG0 через схему приращения, прибавляет CRI и возвращает результат ( $RG0 + CRI$ ) на входы регистра RG0. Команда используется для линейного шагового приращения адреса. При параллельной работе БИС K1800BV1 вывод CRO младшей микросхемы соединен с CRI старшей, а CRI младшей установлен в состоянии лог. 1.

JMP — переход к следующему адресу, обеспечивает безусловный переход к следующему адресу управляющей памяти. Место назначения перехода указывается входами NA, которые соединены обратной связью с управляющей памятью. Данные от входов NA к регистру RG0 поступают под воздействием положительного фронта синхросигнала.

JIB — переход по коду шины IB, является прямым переходом по адресной информации на входах шины IB. Обычно шина IB является внутренней информационной шиной в процессоре и может использоваться для ввода начального адреса команды программы. Информационная шина IB маскируется с помощью обратной связи между управляющей памятью и входами NA. Таким образом, следующий адрес определяется шинами IB и NA, объединенными схемой И.

JIN — переход по коду шины IB и загрузка RG2, направляет информацию с шин IB и NA через схему И в RG0, как и команда JIB. Кроме того, команда загружает информацию с шины IB в регистр RG2 на том же такте синхронизации. В RG2 эта информация может затем использоваться в микропрограмме для первичной и вторичной модификации прохождения программ.

JPI — переход на основную команду, является переходом по результату операции И содержимого RG2 и входов NA. Регистр RG2 загружается при выполнении предыдущих команд JIN и JL2. Код, содержащийся в RG2, используется для начала новой последовательности микрокоманд или видоизменения микрокоманд существующей последовательности.

JEP — переход к внешнему входу, является прямым переходом информации по коду шины OB. Информация с шин OB и NA через схему И ( $OB \cdot NA$ ) поступает в регистр RG0. Эта команда разрешает ввод начального адреса или видоизменение информации для потока микропрограмм.

JL2 — переход ко входам NA и загрузка RG2, является прямым переходом к шине NA и параллельной загрузкой RG2 от шины IB. Эта команда может выполняться во время выполнения других команд. Она используется для запоминания вектора прерывания или адреса новой операции.

JLA — переход по входному коду NA и загрузка RG1, является прямым переходом по коду NA и параллельной загрузкой RG1 измененным значением  $RG0 + CRI$ . Команда может использоваться для прерывания или как дополнительная подпрограмма.

JSR — переход к подпрограмме, является безусловным переходом к подпрограмме. Адрес перехода определяется входами NA, которые загружаются в регистр RG0. Одновременно находящийся в RG0 адрес направляется через блок приращения и загружается в регистр стека RG4. Команда JSR работает в двух режимах, зависящих от состояния триггера. Режим без повторения используется для обычной подпрограммы. Триггер сброшен ( $RSQ = 0$ ), находящийся в RG0 адрес увеличивается на 1 и загружается в стек. Та-

ким образом,  $RG0 + CRI \rightarrow RG4$  и содержимое регистров  $RG4 \dots RG7$  «проталкивается» на один разряд вниз. При возвращении от программы увеличенный адрес ставит управление в основной программе на один разряд ниже адреса JSR. Режим с повторением используется для многократного выполнения единичной подпрограммы. Триггер предварительно устанавливается ( $RSQ = 1$ ) командой RSR. Выдача информации из блока приращения запрещена и содержимое  $RG0$  загружается в  $RG4$ . Регистры стека  $RG4 \dots RG7$  загружаются, как и в предыдущем режиме. При возвращении от подпрограммы первоначальный адрес JSR передается в  $RG0$  и команда JSR повторяется. Этот цикл продолжается до тех пор, пока не достигается заданного числа повторений, о чем указывает сигнал  $\overline{EX} = 0$ . Триггер определяет режим повторения, и вывод  $\overline{EX}$  соединяется с регистром  $RG1$  для определения числа повторений. При выполнении команды JSR блок приращения управляется сигналом, определяемым уравнением:  $CRI$  (внутренний) =  $CRI \cdot (\overline{RSQ} \vee \vee (RG13 \cdot RG11 \cdot RG10) \cdot \overline{EX})$ .

RTN — возврат от подпрограммы, является безусловным возвратом от подпрограммы, при которой стек  $RG5$  разгружается, содержимое  $RG4$  передается в регистр  $RG0$ . Команда RTN используется совместно с командой JSR для выполнения подпрограммы или многочисленных вычислений в зависимости от состояния триггера (см. табл. 3.15). Если  $RSQ = 0$ , выполняется возврат, стек разгружается и содержимое  $RG4$  передается в регистр  $RG0$ . Если  $RSQ = 1$ , стек разгружается в  $RG0$  и содержимое  $RG1$  увеличивается на 1. Команда RTN продолжается в режиме повторения до тех пор, пока во всех разрядах регистра не установится 1, после чего триггер устанавливается в исходное состояние.

RSR — повторение подпрограммы, устанавливает в исходное состояние триггер и регистр  $RG1$  для повторяющихся микрокоманд или подпрограмм. При выполнении команды RSR содержимое  $RG0$  увеличивается на 1 для следующего адреса ( $RG0 + CIN \rightarrow RG0$ ),  $RG1$  загружается от входов NA и триггер устанавливается в 1. Регистр  $RG1$  определяет число повторений микрокоманды или подпрограммы. Содержимое  $RG1$ , используемого в качестве счетчика циклов, увеличивается до тех пор, пока все его разряды не будут заполнены единицами (полный счет). В этом случае число повторений первоначально загружаемое в  $RG1$ , может быть дополнением до 2 требуемого числа. Установка триггера в 1 позволяет с помощью команд JSR и RTN повторить подпрограммы, а с помощью RPI повторить единичные микрокоманды.

RPI — повторение команды, используется для повторения единичных микрокоманд. В режиме повторения (триггер устанавливается в 1 с помощью команды RSR) RPI хранит константу адреса  $RG0$  управляющей памяти и увеличивает на 1 число повторений  $RG1$ . При конечном числе повторений (все 1 в  $RG1$ ) триггер устанавливается в 0 и по команде RPI содержимое  $RG1$  и входов NA, объединенное операцией И, загружается в  $RG0$ . Команда RPI выполняет прямой переход по коду нового адреса после того, как последовательность повторения микрокоманд заканчивается и во всех разрядах  $RG1$  содержатся 1. Вывод  $\overline{EX}$  используется для заполнения регистра  $RG1$  всех БИС K1800BY1. В режиме без повторения ( $RSQ = 0$ ) команда RPI становится прямым переходом по коду регистра  $RG1$ . Выход регистра соединяется со входами NA через ЛЭ И и загружается в  $RG0$ . В этом режиме команда RPI исполь-



зуется совместно с JLA для одноуровневой подпрограммы, где адрес возврата (начальный адрес плюс CRI) соединяется через ЛЭ И с входами NA.

BRC — переход по условию, является условным переходом по коду входов NA. Разрешение условного перехода определяется выражением:  $\overline{EX} \cdot (CO4 \cdot \overline{BR})$ . Если  $\overline{EX} \cdot (CO4 \vee \overline{BR}) = 0$ , BRC выполняет прямой переход по коду NA. Если значение условного перехода равно 1, содержащийся в RG0 адрес управляющей памяти увеличивается на 1 ( $RG0 + CRI \rightarrow RG0$ ) и программа переходит к следующему шагу. Обычно контрольная единица вводится на вход условного перехода BR. При соединении нескольких БИС K1800BV1 вывод  $\overline{EX}$  включен так, что все микросхемы реагируют на один и тот же сигнал условного перехода. По управляющему входу CO4 разрешается управление входом BR, выбирающим ту микросхему, для которой проверяется выполнение условного перехода. Выбранный разряд RG3 может также использоваться для условного перехода (см. табл. 3.16).

BSR — условный переход к подпрограмме, выполняется, если  $\overline{EX} \cdot (CO4 \vee BR) = 0$ . Адрес назначения подпрограммы со входов NA загружается в RG0, а содержащийся в RG0 адрес увеличивается на 1 и загружается в стек ( $RG0 + CRI \rightarrow RG4$ ). Если значение условного перехода равно 1, настоящий адрес управляющей памяти увеличивается на 1 ( $RG0 + CRI \rightarrow RG0$ ). Состояние триггера не влияет на команду BSR. Однако подпрограмма BSR может быть вложена в последовательность повторяющейся подпрограммы JSR—RTN без увеличения числа циклов регистра RG1. Далее используется команда ROC для возврата от перехода к команде BSR.

ROC — возврат по условию, является условным возвратом от подпрограммы. Если значение условного перехода  $\overline{EX} (CO4 \vee \overline{BR}) = 0$ , возврат выполняется загрузкой содержания RG4 в RG0. Если это значение равно 1, выполняется прямой переход к подпрограмме загрузкой входов NA в RG0. Команда работает независимо от триггера и может использоваться совместно с командой BSR для вложения подпрограммы в повторяющуюся последовательность.

BRM — условный переход и переадресация, является переходом по коду входов NA с изменением адреса с помощью входов BR и  $\overline{EX}$ . В RG0 загружается следующая информация:  $RG03 = NA3$ ;  $RG02 = NA2$ ;  $RG01 = NA1 \cdot \overline{EX}$ ;  $RG00 = NA0 \cdot BR$ . Необходимо отметить, что сигнал на выходе  $\overline{EX}$  инвертируется, как модификатор. Изменение адреса разрешает условный переход на несколько направлений. По сигналу CO4 переключается модификатор условного перехода, как показано в табл. 3.15.

### 3.3. Устройство синхронизации

Устройство синхронизации K1800VB2 (FT) предназначено для выработки синхросигналов, обеспечивающих синхронную работу БИС МПК K1800 в устройствах цифровой автоматики и вычислительной техники. Число выходных фаз, длительность синхросигналов каждой фазы, запоминание синхросигнала и другие режимы работы FT програм-

мируются с помощью внешних сигналов, поступающих на соответствующие входы. Микросхема может быть также использована для выработки синхросигналов в устройствах, построенных на базе микросхем серии К500. Назначение выводов FT приведено в табл. 3.21, а условное графическое обозначение — на рис. 3.9.

Таблица 3.21

Назначение выводов БИС К1800ВБ2

Номер вывода	Обозначение	Назначение
1	$U_{SSO}$	Общий (выходных транзисторов)
2, 21...23	CP1, CP4, CP3, CP2	Выходы синхросигналов первой, второй, третьей и четвертой фаз
3	LPO	Выход признака последней фазы синхросигнала
4	CCO	Выход контроля состояния
5	LPI	Вход, разрешающий выработку синхросигналов
6	SYN	Вход от задающего генератора
7	ST	Вход асинхронного пуска
8...11	CO1...CO3, CO0	Входы управления длительностью синхросигнала
12	$U_{CC}$	Напряжение источника питания, —5,2 В
13	CO8	Вход управления режимом: запуск—остановка
14	CO9	Вход управления режимом: работа—профилактика
15	CO10	Вход управления режимом: однократный тактовый — фазовый
16	CO7	Вход управления длительностью синхросигнала последней фазы
17	$\overline{SR}$	Вход установки в исходное состояние
18	CO6	Вход управления наращиванием
19, 20	CO5, CO4	Входы управления числом фаз синхросигнала
24	$U_{SS}$	Общий (схемы)

Структурная схема FT (рис. 3.10) состоит из синхронизатора пуска, формирователя длительности синхросигналов, блока управления режимом работы, блока контроля полного цикла, сдвигателя, формирователя числа фаз, формирователя длительности последнего синхросигнала, блока контроля последнего синхросигнала и выходных усилителей.

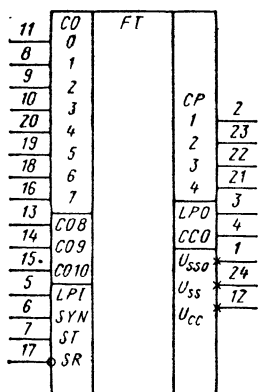


Рис. 3.9. Условное графическое обозначение БИС устройства синхронизации

Запуск FT производится асинхронным сигналом произвольной длительности. В результате на входе ST вырабатываются синхросигналы CP1 ... CP4, длительность которых определяется тактовой частотой импульсов на входе SYN. Сброс всех выходов синхросигналов в состояние лог. 0 выполняется сигналами на входе  $\overline{SR}$ . С помощью управляющих сигналов на входах CO0 ... CO3 осуществляется программирование длительности синхросигналов CP1 ... CP4 соответственно, причем при  $CO_i = 0$  сигнал  $CP_i$  имеет единичную длительность, при  $CO_i = 1$   $CP_i$  имеет двойную длительность.

Управляющие входы CO4, CO5 позволяют программировать число фаз синхросигналов от одной до четырех. Управление длительностью последнего выходного синхросигнала в режимах однократной фазы и остановки на фазе производится сигналом на входе CO7. При  $CO7 = 1$  выходные синхросигналы имеют единичную или двойную дли-

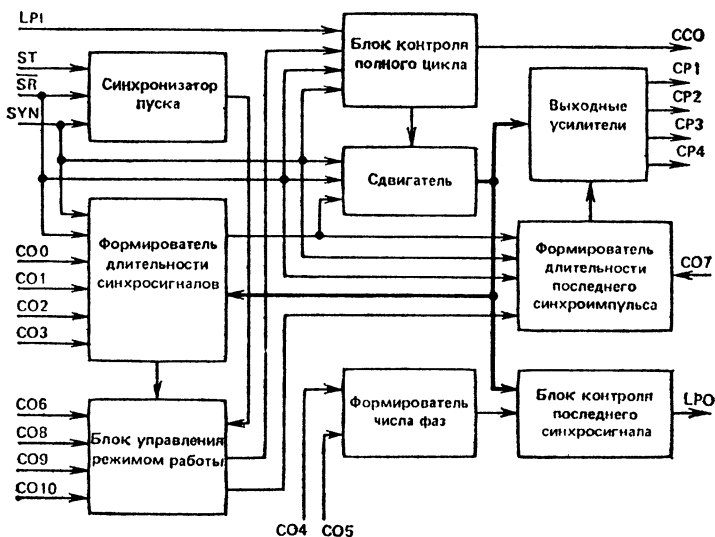


Рис. 3.10. Структурная схема БИС K1800BB2

тельность в зависимости от состояния управляющих сигналов на входах CO0 ...CO3. При CO7 = 0 в указанных режимах происходит хранение последнего синхросигнала в состоянии лог. 1.

Вход управления наращиванием CO6, выход признака последней фазы синхросигналов LPO и вход разрешения выработки синхросигналов LPI используются при объединении двух или более микросхем FT. Режим работы управляется входами CO10 (однократный — тактовый), CO9 (рабочий — профилактический), CO8 (запуск — остановка), различные комбинации сигналов на которых приведены в табл. 3.22. Микросхема FT имеет контрольный выход состояния CCO. Сигнал CCO = 0 при поступлении сигнала  $\overline{SR}$  либо окончании операции единичного цикла или остановки в конце цикла, CCO = 1 — в остальных случаях.

Т а б л и ц а 3.22

Режимы работы микросхемы FT

Режим работы	Операции	Уравнение			
		CO8	CO10	CO9	$\overline{SR}$
Профилактический: запуск	Остановка в конце цикла	1	1		
	Остановка на фазе	1	0		
	Единичный цикл	0	1	0	1
	Единичная фаза	0	0		
Рабочий: запуск	Остановка в конце цикла	1	1		
	Остановка на фазе	1	0	1	1
	Единичный цикл	0	1		
	Единичная фаза	0	0		

**Описание работы FT.** Устройство синхронизации предназначено для преобразования внешнего асинхронного сигнала произвольной длительности на входе ST во внутренний сигнал синхронного пуска STS, длительность которого равна такту задающей частоты синхроимпульсов на входе SYN. Для правильной работы БИС FT необходимо установить RS-триггеры на ECL (ЛЭ21) в исходное состояние кратковременной подачей на вход  $\overline{SR}$  напряжения высокого уровня. Сигнал синхронного пуска STS начинается от первого положительного сигнала пуска ST по положитель-

ному фронту синхросигнала SYN и заканчивается по положительному фронту следующего синхросигнала (рис. 3.11, а).

Формирователь числа фаз вырабатывает выходные импульсы — фазы, число которых зависит от состояния управляющих сигналов на входах СО4 и СО5 (табл. 3.23).

Формирователь длительности фаз синхросигналов позволяет с помощью управляющих сигналов на входах

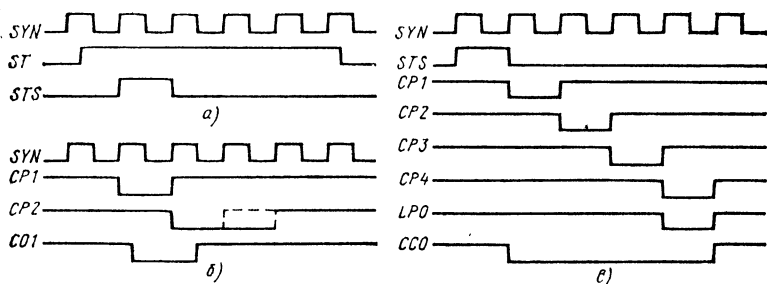


Рис. 3.11. Временные диаграммы:

а — формирование синхросигнала пуска (STS); б — формирование фазы 2 синхросигнала двойной длительности; в — формирование однократного шагового режима

COO ...CO3 увеличивать длительность некоторых или всех выходных синхросигналов CP1 ...CP4 в два раза. Длительность синхросигналов в единичном режиме равна длительности периода тактирующих сигналов SYN. Программирование длительности фаз синхросигналов производится согласно табл. 3.24.

Таблица 3.23

Программирование числа фаз синхросигналов

СО4	СО5	Число фаз
0	0	Одна
1	0	Две
0	1	Три
1	1	Четыре

Таблица 3.24

Программирование длительности фаз синхросигналов

Вход	Состояние на входе	Номер фазы синхросигнала	Длительность синхросигнала
CO0	0	1	Единичная
CO1	1	1	Двойная
CO1	0	2	Единичная
	1	2	Двойная
CO2	0	3	Единичная
	1	3	Двойная
CO3	0	4	Единичная
	1	4	Двойная

На рис. 3.11, б показаны временные диаграммы сигналов, которые должны поступать при формировании фазы СР2 двойной длительности. Блок контроля последнего синхросигнала вырабатывает контрольный сигнал LPO. Длительность сигнала LPO равна единичной длительности синхросигналов. Этот сигнал вырабатывается одновременно с синхросигналом последней фазы каждого цикла. Синхросигнал LPO служит признаком наличия сигнала последней фазы СР4.

*Сдвигатель* обеспечивает определенную последовательность всех синхросигналов. Все четыре фазы появляются или отсутствуют на входах в строго определенные моменты времени с соблюдением последовательности 1—2—3—4. Сдвигатель реализован на двухступенчатых синхронизируемых JK-триггерах на ECL (ЛЭ22).

*Формирователь длительности последнего синхросигнала* задает длительность последнего выходного синхросигнала в режимах единичной фазы и остановки на фазе. Режим работы блока управляется сигналом на входе СО7. При напряжении  $U_{IL}$  выходные синхросигналы имеют единичную или двойную длительность в зависимости от значения управляющих сигналов СО0...СО3. При напряжении  $U_{IH}$  в режимах работы Остановка на фазе и Единичная фаза происходит хранение последнего синхросигнала в состоянии лог. 1. Хранение на выходе напряжения низкого уровня используется в диагностических целях.

*Блок контроля полного цикла* предназначен для контроля рабочего состояния микросхемы FT. На выходе ССО блока получается напряжение высокого уровня в результате установки в исходное состояние FT, законченных операций Единичный цикл или Остановка в конце цикла. В рабочем состоянии на выход ССО устанавливается напряжение низкого уровня. Длительность сигнала на выходе блока зависит от режима работы. Начало появления сигнала совпадает с началом цикла, т. е. с появлением синхросигнала первой фазы.

*Блок управления режимом работы* вырабатывает сигналы для управления другими блоками FT при воздействии управляющих сигналов на входы СО6, СО8, СО9, СО10. Режимы работы микросхемы FT описаны в табл. 3.22. Профилактический режим, обычно используемый в диагностических целях, задается входом СО9 при его состоянии в низком уровне ( $U_{IL}$ ). Профилактический режим имеет четыре разновидности, определенные сигналами на входах СО8 и СО10.

**Выполняемые функции.** Режим работы *Остановка в конце цикла* — операция непрерывного цикла, устанавливаемая при  $CO8 = 1$  и  $CO10 = 1$ . При подаче сигнала ST микросхема FT продолжает периодически вырабатывать синхросигналы до остановки при переходе сигнала CO8 из состояния Запуск в состояние Остановка. При этом микросхема прекращает выработку синхросигналов после формирования последнего запрограммированного сигналами CO4 и CO5 входного синхроимпульса. Микросхема возвращается в этот режим работы при возвращении сигнала CO8 в состояние Запуск. Выработка синхросигналов начинается по сигналу ST.

Режим работы *Остановка на фазе* — также операция непрерывного цикла, устанавливаемая по входам  $CO8 = 1$  и  $CO10 = 0$ . Как и в предыдущем режиме, при подаче сигнала ST микросхема начинает выработку синхросигналов и прекращает ее на очередном синхросигнале при переходе сигнала CO8 из состояния Запуск в состояние Остановка. Для дальнейшего формирования синхросигналов необходимо поступление очередного сигнала ST, при этом следующие синхросигналы начнутся с момента остановки.

Режим работы *Единый цикл* — диагностический, устанавливается по входам  $CO8 = 0$  и  $CO10 = 1$ . При подаче сигнала ST микросхема вырабатывает один полный цикл синхросигналов, заканчивающийся после выработки последнего запрограммированного синхроимпульса. Режим *Единой фазы* — также диагностический, устанавливаемый сигналами  $CO8 = 0$  и  $CO10 = 0$ . Сигналы ST устанавливают циклическую выработку запрограммированного числа синхросигналов, формируя очередной синхросигнал при поступлении следующего сигнала ST.

Рабочий режим микросхемы FT задается по входу CO9 в состоянии напряжения низкого уровня. Четыре разновидности режимов работы отличаются от профилактического режима сигналами запуска микросхемы для рабочего режима — Остановка на фазе, Остановка в конце цикла. Эти режимы устанавливаются при переходе сигнала CO8 из состояния Остановка в состояние Запуск и не требуют наличия входного сигнала ST. Режимы остановки на фазе и остановки в конце цикла заканчиваются, когда сигнал CO8 возвращается в состояние Остановка, как и в профилактическом режиме. Режимы единичного цикла и единичной фазы точно такие же, как в профилактическом режиме, и требуют наличия сигнала ST.

Временные диаграммы работы микросхемы приведены на рис. 3.11 ...3.13.

Работа микросхемы в режиме единичного цикла показана на рис. 3.11, в. На входе CO10 установлено напряжение высокого уровня, а на входе CO8 — напряжение низкого уровня. На выходах CP1 ...CP4 формируются в установленной последовательности синхросигналы четырех фаз. На выходе CCO вырабатывается сигнал контроля состояния микросхемы FT. Временные диаграммы работы микросхемы в профилактическом режиме *единый цикл* показаны на рис. 3.12, а, в режиме Остановка в конце цикла — на рис. 3.12, б. На входе CO9 при этом устанавливается напряжение  $U_{IN}$ , а на входе CO10 — напряжение  $U_{IL}$ . Перед началом работы по входу сброса  $\overline{SR}$  микросхема уста-

навливается в исходное состояние и после поступления сигнала внутреннего запуска STS начинается формирование выходных сигналов четырех фаз (CP1 ...CP4), признака последней фазы LPO и состояния ССО. При остановке в конце цикла прекращается формирование синхросигналов на том цикле, при котором поступает положительный фронт сигнала на входе СО8.

Временные диаграммы работы микросхемы в режиме *Единичная фаза* показаны на рис. 3.13, а и остановка на

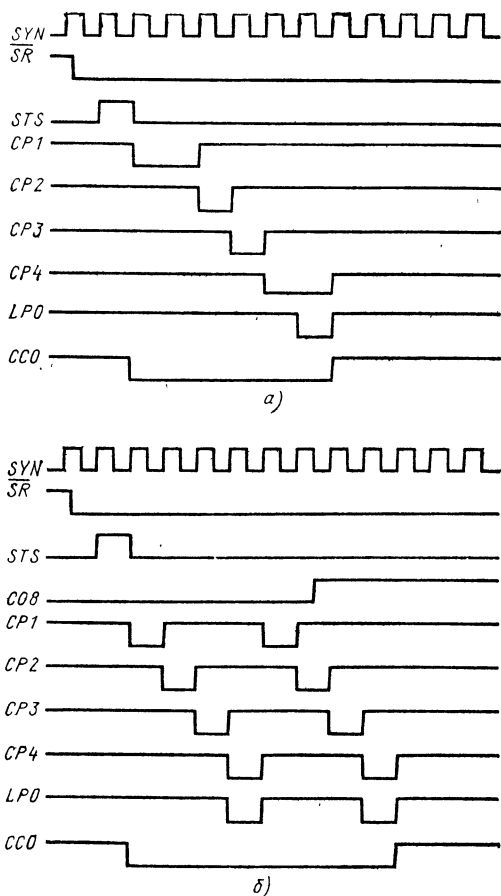


Рис. 3.12. Временные диаграммы работы устройства синхронизации в профилактическом режиме:

а — единичный цикл (четыре фазы, фазы CP1 и CP4 двойной длительности); б — остановка в конце цикла (четыре фазы)



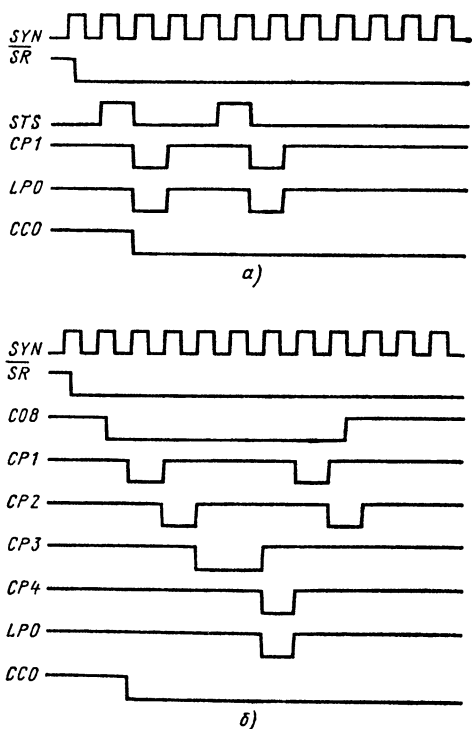


Рис. 3.13. Временные диаграммы работы устройства синхронизации в рабочем режиме:

*a* — единичная фаза; *б* — остановка на фазе (фаза CP3 двойной длительности)

фазе — на рис. 3.13, б. В режиме единичной фазы на вход CO9 подается напряжение  $U_{IL}$ , на вход CO10 — напряжение  $U_{IH}$ . Запуск происходит при поступлении сигнала на внутренний синхровход STS. На выходе CCO в данном режиме постоянно поддерживается напряжение  $U_{OL}$ . При остановке на фазе рабочего режима прекращается формирование синхросигналов на фазе, при которой поступает положительный фронт сигнала на входе CO8. Запуск в данном режиме происходит также по входу CO8.

### 3.4. Устройство управления памятью

Устройство управления памятью К1800ВТЗ (COM) предназначено для построения микропроцессоров, разрядностью, кратной четырем, совместно с другими микросхемами

серий К1800 и К005. Схема вырабатывает адреса памяти, запоминает их, выполняет арифметические и сдвиговые операции над данными и адресами. Микросхема выполняет 13 функций ALU над семью возможными операндами и 17 операций передачи данных. Высокая логическая гибкость системы достигается с помощью пяти независимых 4-разрядных информационных шин, три из которых двунаправленные. Управление передачей данных и вычислениями осу-

Т а б л и ц а 3.25

Назначение выводов БИС К1800ВТ3

Номер вывода	Обозначение	Назначение
1, 24	U <sub>CC1</sub>	Напряжение источника питания, —5,2 В
2	CRG — OF	Выход генерации группового переноса и переполнения
3...6	OB3...OB0	Выходная шина OB — двунаправленные выводы разрядов 0...3
7, 17	U <sub>SS0</sub>	Общий (выходных транзисторов)
8...11	IB0...IB3	Входная шина IB — двунаправленные выводы разрядов 0...3
12, 36	U <sub>SS</sub>	Общий (схемы)
13...16	DB1, DB0, DB2, DB3	Шина данных DB — двунаправленные выводы разрядов 0...3
18...21	A0, A3, A1, A2	Выходы адреса A — двунаправленные выводы разрядов 0...3
22	CR — MBS	Выход переноса и вход — выход старшего разряда при сдвиге
23	CRP — ZD	Выход распространения группового переноса и проверки на нуль
25, 48	U <sub>CC2</sub>	Напряжение источника питания, —2 В
26	CO4	Вход управления разрешением выходов адреса
27	CO14	Вход управления разрешением шины данных и адреса
28	CO5	Вход управления регистрами
29...32, 46, 47	CO6, CO9, CO7, CO8, CO11, CO10	Входы управления режимом работы
33, 34, 37, 38	P2, P3, P1, P0	Входы указателя P разрядов 0...3
35	CR — LBS	Вход переноса и вход — выход младшего разряда при сдвиге
39...42	CO0...CO3	Входы управления передачей данных
43	SYN	Вход синхронизации
44, 45	CO12, CO13	Входы управления выбором адреса регистрового массива

Примечание. Разряд 0 — младший, разряд 3 — старший.

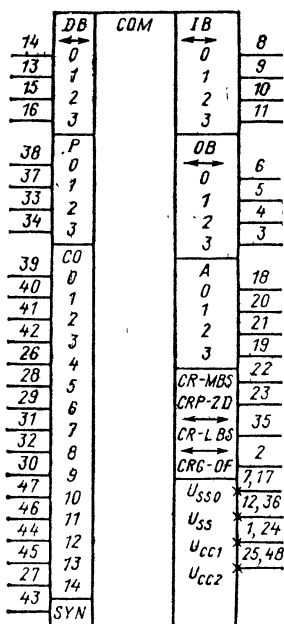


Рис. 3.14. Условное графическое обозначение БИС устройства управления памятью

предоставляется с помощью 15 входов управления. Назначение выводов микросхемы COM представлено в табл. 3.25, условное графическое обозначение — на рис. 3.14.

В состав микросхемы COM (рис. 3.15) входят регистр адресов (RGA), регистр данных (RGD), блок регистров (RDF), ALU, дешифраторы управления арифметическим логическим блоком (DCA) и шинами (DC), мультиплексоры данных (MUXD), операнда А (MUXA), операнда В (MUXB), сигналов счетчиков (MUXRG0), входных данных регистров, входной (MUXI) и выходной (MUXO) шин и блок управления шинами. Шины данных OB, IB и DB двунаправленные, шина адресов А (выходная) и шина указателя Р (входная) однонаправленные. ALU вырабатывает восемь сигналов, которые из микросхемы выводятся по четырем выводам. Это сигналы CR — МВС (перенос и старший разряд при сдвиге), CRP — ZD (распространение группового переноса и проверки на ноль), CR — LBS (перенос и младший разряд при сдвиге) и CRG — OF (генерация группового переноса и переполнения). Арифметические и логические операции, а также сдвиг в ALU выполняются над информацией, поступающей из шести возможных источников. Это регистры RGD и RGA, блок регистров RGF, шины IB, OB и P.

Передача информации между блоками и управление выполнением операции осуществляются с помощью 15 управляющих сигналов на входах CO0 ... CO14. Микросхема выполняет 17 операций передачи информации:

- FOB — подключение блока регистров к шине OB;
- ROB — подключение регистра данных к шине OB;
- AIB — подключение выходов ALU к шине IB;
- DIB — подключение шины данных к шине IB;
- FDB — подключение регистрового массива к шине данных;
- ODB — подключение шины OB к шине данных;
- RDB — подключение регистра данных к шине данных;
- ADR — подключение выходов ALU к регистру данных;

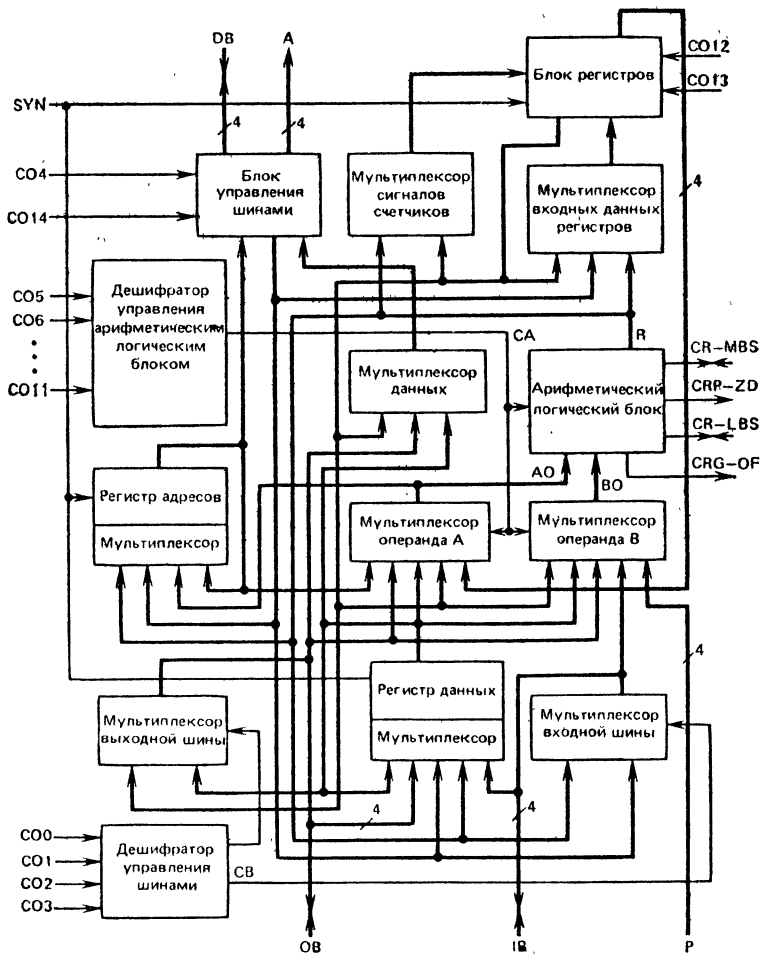


Рис. 3.15. Структурная схема БИС К1800ВТ3

DDR — подключение шины данных к регистру данных;

IDR — подключение шины IB к регистру данных;

DRF — подключение шины данных к регистровому массиву (CO5 = 0);

ODR — подключение шины OB к регистру данных;

DAR — подключение шины данных к адресному регистру (CO5 = 1);

P10 — поточная передача данных от шины IB к шине OB через регистр данных;

PDO — поточная передача данных от шины данных к шине OB через регистр данных;

PID — поточная передача данных от шины IB к шине данных через регистр данных;  
NOP — нет передачи.

### Описание работы COM.

*Регистр адресов (RGA)* реализован на двухступенчатых синхронизируемых RS-триггерах (J1920) с возможностью выполнения операции мультиплексирования. Для синхронизации RGA, как и для других регистров микросхемы COM, используется вход SYN. Запись информации на триггер происходит при положительном фронте ( $U_{in} \rightarrow U_{in}$ ) синхросигнала. При других состояниях синхросигнала состояние на выходах триггера не меняется и входная информация не записывается. Регистр адресов содержит информацию о текущем адресе памяти. В зависимости от типа адреса памяти этот регистр может быть загружен через мультиплексор на входе регистра от шины данных с выходов ALU, от шины DB, шины OB, регистра данных, блока регистров или счетчика программ. Выбор источника информации для записи в регистр адреса осуществляется сигналами на управляющих входах мультиплексора регистра RGA. Сигнал на входе CO5 определяет место записи шины данных и место назначения результата операции ALU.

Информация из MUXA запоминается в RGA и одновременно складывается с данными шины P в ALU. При  $CO5 = 1$  регистр RGA перезаписывает содержимое и может использоваться как аккумулятор. Информация из RGA поступает на выходную шину и может передаваться в ALU для модификации адреса. Вход CO4 на входе блока управления шинами разрешает выдачу информации через шину A. Структура блока управления шинами позволяет организовать прямой доступ к памяти. Сигнал CO4 работает совместно с CO14. Если  $CO4 = 0$ , на шине A устанавливается 1 независимо от сигнала CO14, а если  $CO4 = 1$ , на шине A появляются данные из RGA без инверсии при  $CO14 = 1$  и с инверсией ( $\overline{RGA}$ ) при  $CO14 = 0$ .

*Регистр данных (RGD)* служит для запоминания информации, поступающей или выходящей из микропроцессора по шине данных DB. Регистр RGD также может быть загружен информацией через мультиплексор из шины OB, из ALU и IB. Информация из регистра может быть выдана на шину DB, шину OB, регистр RGA или ALU. Регистр данных может использоваться как аккумулятор, если БИС K1800BT3 выполняет в микропроцессоре функции основного ALU или в случае параллельной работы с БИС K1800BC1 для достижения удвоенной точности вычислений. Загру-

ка регистра RGD производится через мультиплексор, управляемый сигналами на входах CO0...CO3 согласно табл. 3.26.

Таблица 3.26

Выбор источника информации для загрузки RGD

Источник информации	Управление				Операция передачи
	CO0	CO1	CO2	CO3	
DB	0	1	1	X	DDR, PDO ADR ODR IDR PID, PIO ODB —
ALU	1	1	0	0	
OB	0	1	0	0	
IB	1	1	1	0	
IB	1	1	X	1	
RGD	0	1	0	1	
RGD	X	0	X	X	

Таблица 3.27

Выбор регистров из RGF

Регистр	Управление	
	CO12	CO13
RG0	0	0
RG1	1	0
RG2	0	1
RG3	1	1

Блок регистров (RGF) состоит из четырех регистров (RG0...RG3). Каждый 4-разрядный регистр можно расширить до необходимого размера слова параллельным включением БИС K1800BT3. Регистр RG0 используется в качестве счетчика программ. Сигналы на входах CO12 и CO13 управляют выбором одного из четырех регистров блока RGF для его загрузки или считывания (табл. 3.27).

Блок регистров может быть загружен информацией из шины данных или с выхода ALU. Из блока регистров информация может быть передана на шину OB, шину DB, ALU или RGA. Выполнением операции передачи информации в БИС K1800BT3 управляют сигналы на входах CO0...CO5 (табл. 3.28). При выполнении операции DRF и DAR производится также ее пересылка из ALU в блок регистров.

Шина адреса А — 4-разрядная, однонаправленная, предназначена для вывода информации из RGA при адресации памяти или периферийных устройств. Может также использоваться для вывода результатов, предварительно записанных в RGA, из ALU. Передача информации по этой шине управляется сигналом CO4 через блок управления шинами. При CO4 = 0 на адресной шине устанавливается 1. Шина данных (DB) представляет собой 4-разрядную двунаправленную шину и используется в основном для связи с блоком памяти и периферийными устройствами. Передача информации по этой шине контролируется дешифратором управления шинами. В тех случаях, когда шина не исполь-

Таблица 3.28

## Управление передачей информации в COM

Операции передачи		Обозначение	Управление							Шины			Состояние после передачи
Источник	Назначение		CO0	CO1	CO2	CO3	CO6	CO14	DB	IB	OB		
1	2	3	4	5	6	7	8	9	10	11	12	13	
Нет передачи		NOP	0	0	0	0	X	X	1	1	1	1	
ALU	IB	AIB	1	0	0	0	X	X	1	1	1	1	
OB	RGD	ODR	0	1	0	0	X	X	1	1	1	OB	
ALU	RGD	ADR	1	1	0	0	X	X	1	1	1	ALU	
DB	RGF							0	0	1	1	1	
DB	RGF	DRF	0	0	1	0	0	1	1	1	1	1	
DB	RGA						1	0	1	1	1	1	
DB	RGA	DAR					1	1	1	1	1	1	
DB	IB						X	0	1	DB	1	1	
DB	IB	DIB	1	0	1	0	X	1	1	DB	1	1	
DB	RGD						X	0	1	1	1	DB	
DB	RGD	DDR	0	1	1	0	X	1	1	1	1	DB	
IB	RGD	IDR	1	1	1	0	X	X	1	1	1	IB	
RGF	DB						X	0	RGF	1	1	1	
RGF	DB	FDB	0	0	0	1	X	1	RGF	1	1	1	
DR	DB						X	0	RGD	1	1	1	
DR	DB	RDB	1	0	0	1	X	1	RGD	1	1	1	
OB	DB						X	0	OB	1	1	1	
OB	DB	ODB	0	1	0	1	X	1	OB	1	1	1	
IB	RGD						X	0	RGD	1	1	IB	
DR	DB	PID	1	1	0	1							
IB	RGD						X	1	RGD	1	1	IB	
RGD	DB												
RGF	OB	FOB	0	0	1	1	X	X	1	1	1	RGF	
RGD	OB	ROB	1	0	1	1	X	X	1	1	1	RGD	
DB	RGD						X	0	1	1	1	DB	
RGD	OB												
DB	RGD	PDO	0	1	1	1							
RGD	OB						X	1					
IB	RGD	PIO	1	1	1	1	X		1	1	1	DB	
RGD	OB								1	1	1	IB	

зается, на ее выходах устанавливается 1 ( $U_{OL}$ ). Работой дешифратора управляют входы  $CO0 \dots CO3$  (табл. 3.29).

Входящая и выходящая информация шин DB и A проходит через инвертор в блоке управления шинами, управляемом сигналом  $CO14$ . При  $CO14 = 0$  входящая или выходящая информация шины DB и выходящая информация

шины A инвертируются, при  $CO14 = 1$  происходит прямая передача. Такое свойство позволяет применять разные типы логики (положительная, отрицательная) при передачах по линиям связи между цифровым устройством и двунаправленными шинами микросхем. Направление передач по этим шинам определяется управляющими сигналами  $CO0 \dots CO3$  (табл. 3.29). Двунаправленные 4-разрядные шины IB и OB соединяют БИС K1800BT3 с другими блоками цифрового устройства. Направление передачи по этим шинам определяется управляющими сигналами  $CO0 \dots CO3$ . Дешифратор управления выбором данных шины IB управляется сигналами  $CO0 \dots CO3$  (табл. 3.30). Управляющие сигналы  $CO0 \dots CO3$  выбирают также источник информации и для шины OB (табл. 3.31).

Таблица 3.30

Выбор источника информации шины IB

Источник информации	Управление			
	CO0	CO1	CO2	CO3
ALU	1	0	0	0
DB	1	0	1	0

Таблица 3.29

Выбор источника информации шины данных

Источник информации	Управление			
	CO0	CO1	CO2	CO3
RGF	0	0	0	1
OB	0	1	0	1
RGD	1	X	0	1

Таблица 3.31

Выбор источника информации шины OB

Источник информации	Управление			
	CO0	CO1	CO2	CO3
RGF	0	0	1	1
RGD	0	1	1	1
RGD	1	X	1	1

Арифметический логический блок микросхемы COM выполняет двоичное сложение ADD и вычитание SUB, И, ИЛИ, Исключающее ИЛИ, арифметический и логический сдвиги влево.

С их помощью решаются различные задачи, реализуемые при использовании с памятью, такие, как маскирование, поразрядные операции, расширение стека в режиме загруз-



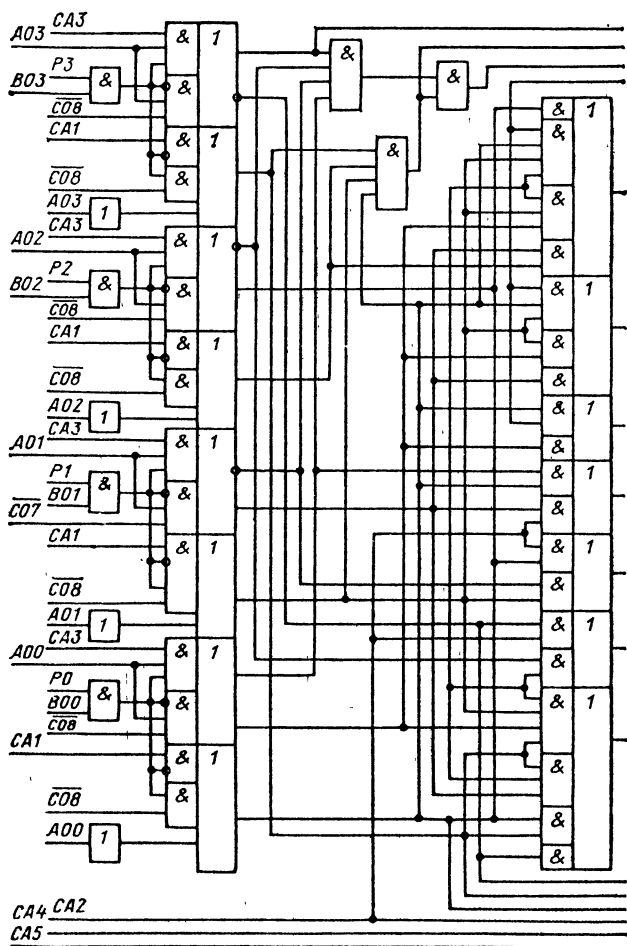
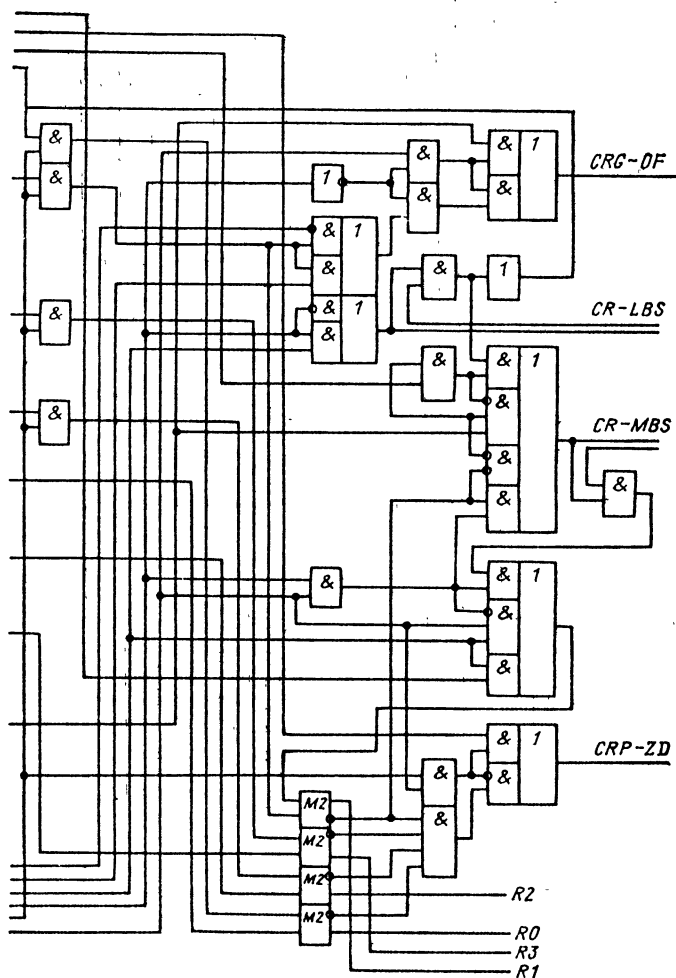


Рис. 3.16. Функциональная схема

ки регистров или извлечение данных из регистров, смещение выработанного адреса. Функциональная схема ALU приведена на рис. 3.16. Операции, выполняемые ALU:

- ADD — двоичное сложение;
- SUB — двоичное вычитание;
- ASL, LSL — сдвиг влево арифметический, логический;
- ASR, LSR — сдвиг вправо арифметический, логический;
- EOR — Исключающее ИЛИ;



ALU БИС К1800ВТ3

EORP — Исключающее ИЛИ указателя;  
 OR — ИЛИ;  
 AND — И;  
 POINT — сложение с указателем;  
 REL — изменение состояния;  
 MOD — модификация адреса.

Логический блок DCA (рис. 3.17) дешифрирует управляющие внешние сигналы CO6 ...CO11 во внутренние уп-

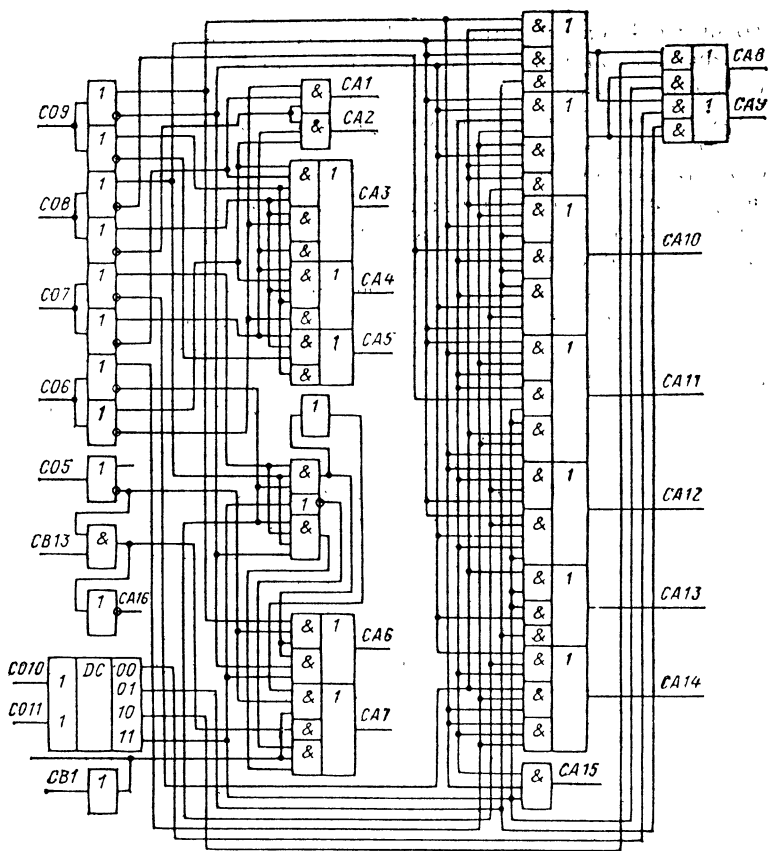


Рис. 3.17. Функциональная схема дешифратора ALU

равляющие сигналы CA1 ...CA16, поступающие на MUXA, MUXB и ALU. Функциональные схемы ALU и DCA реализованы на логических элементах И, ИЛИ, И—ИЛИ, И—ИЛИ—НЕ и Сложение по модулю два, работа которых была описана в § 2.3. На входы ALU из MUXA и MUXB поступают операнды А00 ...А03 и В00 ...В03, данные шины указателя P0 ...P3, а также управляющие сигналы CA1 ... CA5, CO7, CO8. На выход ALU выдается четыре сигнала данных R0 ...R3 и сигналы признаков. Управляющие сигналы выбирают одну из 13 арифметических, логических или сдвиговых операций: сложение, вычитание, арифметический и логический сдвиг влево, арифметический и

логический сдвиг вправо, И, ИЛИ, Исключающее ИЛИ (изменение адреса регистрового содержимого) — 2 типа, операции с указателем (изменение содержимого регистров из RGF, RGD), операции с ОБ или программным счетчиком (RG0) и сравнение (изменение содержимого RG0). Вход CO9 также управляет состоянием выходов ALU до тех пор, пока CO10 и CO11 точно определяют, с помощью каких операндов мультиплексоров MUXA и MUXB выполняются выбранные операции.

В табл. 3.32 показан порядок программирования операций, выполняемых ALU с помощью управляющих сигналов CO6 ... CO11, передачи информации и выполняемые операции. При арифметическом сдвиге влево по входам CO8 и CO9 можно определить, какой сдвиг данных шин ОБ или DB выполняется в регистрах RGA, RGD, RGF. Выбор операций ALU производится параллельно с работой схемы управления передачей данных, что увеличивает быстродействие устройств. В табл. 3.32 операнды, записанные слева, передаются в ALU через MUXA, а записанные справа — MUXB. Когда имеется один операнд, он передается через MUXA. Выход старшего разряда ALU обозначен через R3. Входы Р блока ALU позволяют модифицировать адрес или использовать константы при адресации памяти. Эти входы позволяют организовать операции стека и приращення счетчика программ для побайтно адресуемой памяти и для других функций, например для ввода информации в блок регистров.

Состояние выходов ALU определяется сигналами на управляющих входах CO6 ... CO9, их конкретное назначение зависит от выполняемой операции (табл. 3.33).

Четыре сигнала признаков состояния ALU определяются следующими уравнениями:

$$CRO = CRG \vee CRP \cdot CRI;$$

$$OF = C3 \oplus CRO = C3 (\overline{AO3} \cdot \overline{BO3}) \vee \overline{C3} \cdot (AO3 \cdot BO3);$$

$$CRP = (AO3 \vee BO3) \cdot (AO2 \vee BO2) \cdot (AO1 \vee BO1) \cdot (AO0 \vee BO0);$$

$$CRG = (AO3 \cdot BO3) \vee (AO3 \vee BO3) \cdot (AO2 \cdot BO2) \vee (AO3 \vee BO3) \times \\ \times (AO2 \vee BO2) \cdot (AO1 \cdot BO1) \vee (AO3 \vee BO3) \cdot (AO2 \vee BO2) \times \\ \times (AO1 \vee BO1) \cdot (AO0 \cdot BO0);$$

$$C3 = (AO2 \cdot BO2) \vee (AO2 \vee BO2) \cdot (AO1 \cdot BO1) \vee (AO2 \vee BO2) \times \\ \times (AO1 \vee BO1) \cdot (AO0 \cdot BO0) \vee (AO2 \vee BO2) \cdot (AO1 \vee BO1) \times \\ \times (AO0 \vee BO0) \cdot CRI;$$

$$ZD = \overline{R3} \cdot \overline{R2} \cdot \overline{R1} \cdot \overline{R0},$$

Таблица 3.32

## Программирование

CO6	CO7	CO8	CO6	CO7	CO8	CO6	CO7	CO8	CO6	CO7	CO8
0	0	1	0	0	0	1	0	0	1	0	1
ADD CRG = OF CRP = ZD			SUB CRG = OF CRP = ZD			AND CRO = R3 CRP = ZD			OR CRO = R3 CRP = ZD		
OB + IB · P OB + RGD · P RGF + OB · P RGF + RGD · P			OB - IB · P OB - RGD · P RGF - OB · P RGF - RGD · P			OB · (IB · P) OB · (RGD · P) RGF · (OB · P) RGF · (RGD · P)			OB ∨ (IB · P) OB ∨ (RGD · P) RGF ∨ (OB · P) RGF ∨ (RGD · P)		
ADD CRG = CRG CRP = CRP			SUB CRG = CRG CRP = CRP			AND CRO = R3 CRP = ZD			EORP CRO = R3 CRP = ZD		
OB + IB · P OB + RGD · P RGF + OB · P RGF + RGD · P			OB - IB · P OB - RGD · P RGF - OB · P RGF - RGD · P			OB · P RGD · P RGF · P RGA · P			OB ⊕ P RGD ⊕ P RGF ⊕ P RGA ⊕ P		

где  $R_i$  —  $i$ -й разряд выходной шины ALU;  $AO_i$  и  $BO_i$  —  $i$ -й разряд операндов AO и BO;  $i = 0$  (LBS), 1, 2, 3 (MBS); P — входы шины указателя.

Вывод CR — LBS во время выполнения арифметических операций является входом переноса на младший разряд ALU. При выполнении сдвига вправо сигнал LBS является выходом для выдвигаемого младшего бита. Сдвиг влево является арифметической операцией, которая реализуется сложением слова с самим собой. Вывод CR — MBS при арифметических операциях используется для выхода переноса из старшего разряда. Во время операции сдвига он соединен со старшим сдвигаемым разрядом. При выполнении операции в ALU соединение вывода CR — MBS со старшим разрядом позволяет контролировать знак числа. Старший знаковый разряд при арифметическом сдвиге также выводится вправо, так как знаковый бит повторяется.

Вывод CRP — ZD используется при арифметических операциях с ускоренным переносом и выдает сигнал признака нуля при выполнении логических и некоторых арифметических операций. Выбор режима (CRP или ZD) выполняет сигнал CO9. На выводе CRG — OF для всех арифметических операций с ускоренным переносом имеется сигнал группового переноса. Кроме того, этот вывод используется для выдачи сигнала переполнения при арифметичес-

операции ALU COM

CO5	CO7	CO8	CO6	CO7	CO8	CO6	CO7	CO8	CO6	CO7	CO8	CO9	CO10	CO11
1	1	0	0	1	0	1	1	1	0	1	1	1		
ASR CR0 = R3 CRP = ZD CRG = 1		ASL CRG = OF CRP = ZD		EOR CR0 = R3 CRP = ZD		POINT CRG = CRG CRP = CRP								
OB		OB		OB ⊕ (IB · P)		OB + P		0		0		0		
RGD		RGD		OB ⊕ (RGD · P)		RGD + P		0		0		1		
RGF		RGF		RGF ⊕ (OB · P)		RGF + P		0		1		0		
RGA		RGA		RGF ⊕ (RGD · P)		RGO + P		0		1		1		
LSR CRG = 1 CRP = ZD		LSL CRG = CRG CRP = CRP		MOD CRG = CRG CRP = CRP		REL CRG = CRG CRP = CRP								
OB		OB		RGA + P		RGO + IB · P		1		0		0		
RGD		RGD		RGA + RGD · P		RGO + RGD · P		1		0		1		
RGF		RGF		RGA + OB · P		RGO + OB · P		1		1		0		
RGA		RGA		RGA + RGF · P		RGO + RGF · P		1		1		1		

ких операциях над числами в дополнительном коде и при операции сдвига влево. Сигнал переполнения выдается только из самого старшего разряда слова, остальные БИС COM при их параллельной работе вырабатывают при этом сигнал CRG. При выполнении логических операций в ALU на выводе CRG—OF устанавливается 1

Результаты (R0 ... R3) операций из ALU могут быть направлены в различные блоки схемы (табл. 3.34). Передача информации на шину IB и в регистр данных управляется дешифратором управления ALU. Информацию из ALU можно также передать в регистр адресов, блок регистров, в т. ч. в счетчик программ (регистр RG0). Эти передачи управляются сигналом CO5 и выполняемой в ALU операцией. Если в качестве приемника выбран счетчик RG0 (CO12 = 0, CO13 = 0), то в него пересылается информация (DB + ALU → RG0). Если управляющий сигнал CO14 = 0, то значение DB (см. табл. 3.32) следует заменить на инверсное ( $\overline{DB}$ ).



Таблица 3.34

## Передача информации из ALU в регистры и шину IB

Операция передачи	CO5	Назначение			Операции ALU
		RGA	RGF	RGO	
DRF	0	A	DB	—	POINT (кроме RG0+P)
DAR	1	DB	ALU	—	
ADR или AIB	0	A	—	—	
Другие	1	ALU	ALU	—	
	0	A	ALU	—	
DRF	0	RG0	DB	ALU	POINT (RG0+P)
Другие	1	DB	—	ALU	
	0	RG0	—	ALU	
	1	ALU	—	ALU	
DRF	0	—	DB	ALU	REL
DAR	1	DB	—	ALU	
ADR или AIB	0	—	—	ALU	
Другие	1	ALU	—	—	
	0	—	—	ALU	
DRF	0	—	DB	—	SUB, ADD ASL—LSL AND, OR—EORP, ASR—LSR EOR—MOD
DAR	1	DB	—	—	
ADR или AIB	0	—	—	—	
	1	ALU	—	—	
Другие	0	—	ALU	—	
	1	ALU	—	—	

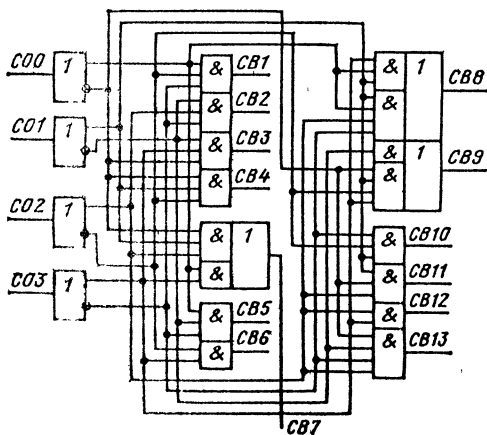


Рис. 3.18. Функциональная схема дешифратора шины и регистров



Дешифратор управления шинами (DC) вырабатывает управляющие сигналы CB1 ... CB13, которые управляют работой мультиплексоров MUX1, MUX0 и ALU (рис. 3.18).

### 3.5. Двухнаправленный преобразователь уровней ECL—TTL

Двухнаправленный преобразователь уровней ECL—TTL K1800BA4 (IBT) выполняет преобразование уровней напряжения ECL-входов в уровни напряжения TTL-выходов, и наоборот — по двухнаправленным шинам ECL и TTL. Передаваемые сигналы могут запоминаться в фиксаторе или проходить из одной шины (ECL) на другую (TTL) или наоборот без запоминания. При передаче информация инвертируется. IBT — 4-разрядная БИС, ее разрядность может быть увеличена кратно четырем. Назначение выводов БИС приведено в табл. 3.35, а условное графическое обозначение — на рис. 3.19.

Т а б л и ц а 3.35

Назначение выводов БИС K1800BA4

Номер вывода	Обозначение	Назначение
1,16	$U_{SS}$	Общий
2...5	ECL1...ECL4	Шина ECL — двухнаправленные выводы разрядов 1...4
6	BYP	Вход управления обходом регистра-фиксатора
7	DE	Вход управления запретом выходов
8	$U_{CC1}$	Напряжение источника питания, —5,2 В
9	$U_{CC2}$	Напряжение источника питания, +5 В
10	ECL—TTL	Вход выбора направления передачи ECL—TTL
11	SYN	Вход синхронизации
12...15	TTL4...TTL1	Шина TTL — двухнаправленные выводы разрядов 1...4

В состав микросхемы IBT (рис. 3.20) входят одинаковые схемы для каждого из четырех разрядов. Функциональная схема одного разряда преобразователя приведена на рис. 3.21. Дешифратор выбора режима работы и сигналы управления являются общими для всех разрядов. Схема состоит из фиксатора с мультиплексором, мультиплексоров сигналов ECL и TTL, усилителей сигналов ECL и TTL и усилителя

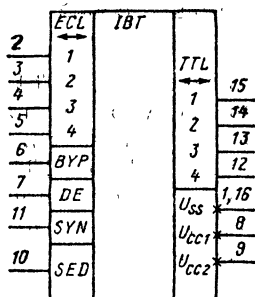


Рис. 3.19. Условное графическое обозначение БИС преобразователя уровней

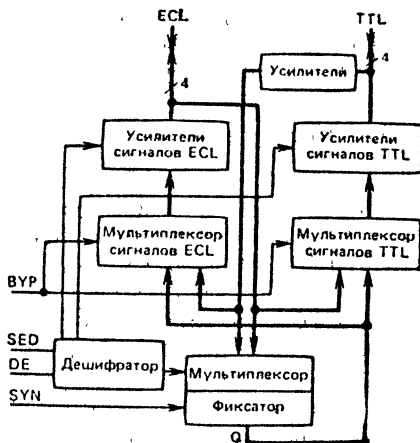


Рис. 3.20. Структурная схема БИС К1800ВА4

для преобразования уровней напряжения. Три управляющих вывода: SED — выбор направления передачи, BYP — управление обходом фиксатора, DE — управление запретом выходов определяют режимы работы микросхемы. Сигнал на входе SYN синхронизирует работу триггеров фиксатора.

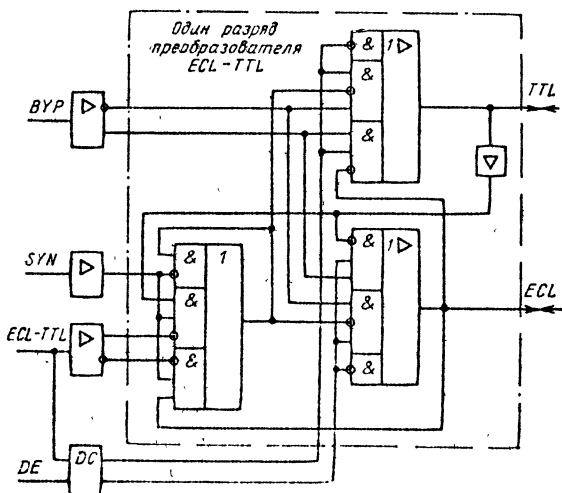


Рис. 3.21. Функциональная схема одного разряда преобразователя уровней

Таблица 3.36

## Функции, выполняемые БИС К1800ВА4

Функция			Управляющие входы (уровни ECL)			
Фиксатор	Шина TTL	Шина ECL	DE	SED	BYP	SYN
—	Выход: $\overline{Q}$	Закрыта	0	0	0	0
Q = ECL	Выход: $\overline{Q} = 1$ 0	Вход: 0 1	0	0	0	1
Обход (ECL → TTL)	Выход: 1 0	Вход: 0 1	0	0	1	0
Q = ECL	Выход: 1 0	Вход: 0 1	0	0	1	1
—	Закрыта	Выход: $\overline{Q}$	0	1	0	0
Q = TTL	Вход: 0 1	Выход: $\overline{Q} = 1$ 0	0	1	0	1
Обход (TTL → ECL)	Вход: 0 1	Выход: 1 0	0	1	1	0
—	Закрыта	Закрыта	1	0	0	0
Q = ECL <sub>0</sub> = 0 Q = ECL <sub>1</sub> = 1	Закрыта	Вход: 0 1	1	0	0	1
—	Закрыта	Закрыта	1	0	1	0
Q = ECL <sub>0</sub> = 0 Q = ECL <sub>1</sub> = 1	Закрыта	Вход: 0 1	1	0	1	1
—	Закрыта	Закрыта	1	1	0	0

Функция			Управляющие входы (уровни ECL)			
Фиксатор	Шина TTL	Шина ECL	DE	SED	ВУР	SYN
$Q = TTL = 0$ $Q = TTL = 1$	Вход: 0 1	Закрыта	1	1	0	1
—	Закрыта	Закрыта	1	1	1	0
$Q = TTL = 0$ $Q = TTL = 1$	Вход: 0 1	Закрыта	1	1	1	1

**Описание работы ИВТ.** При напряжении низкого уровня ( $U_{OL}$ ) на входе DE вывод информации с шин микросхемы запрещен. Обе шины на выходе устанавливаются в закрытое состояние. Когда на вход DE поступает напряжение высокого уровня ( $U_{OH}$ ), оба выхода открыты и могут принимать и выдавать информацию. Независимо от состояния входа DE информация с шины может быть передана в фиксатор при появлении синхросигнала на входе SYN. По сигналу на входе SED выбирается направление передачи информации. При напряжении высокого уровня на входе SED информация передается с шины ECL на шину TTL, а при напряжении низкого уровня — из шины TTL на шину ECL. Если сигнал на входе ВУР =  $U_L$ , информация с входной шины поступает одновременно на выходную шину и на фиксатор. Для записи информации в фиксатор с последующей передачей на входе ВУР устанавливается лог. 0. Сигнал синхронизации общий для всех триггеров фиксатора. При SYN =  $U_L$  фиксатор открыт и данные проходят с его входа на выход. Данные запоминаются при переходе сигнала SYN ( $U_L \rightarrow U_H$ ). Режим на управляющих выводах и функции, выполняемые микросхемой БИС ИВТ, приведены в табл. 3.36.

### 3.6. Двухадресная буферная память

Двухадресная буферная память К1800РП6 (DAM) предназначена для организации быстродействующего буфера данных или регистрового массива. Так как память состоит из двух частей, адресуемых независимо, запись данных в одну ее часть может производиться одновременно со считыванием данных из другой. Благодаря этому свойству БИС может вы-

полнять функции буфера связи между быстродействующим микропроцессором и более медленными устройствами ввода-вывода. Емкость матрицы памяти составляет 32 слова по 9 бит в каждой части. Емкость памяти может быть увеличена наращиванием, что позволяет использовать ее в массиве регистров. Запись и считывание данных по двум отдельным шинам могут производиться одновременно в разные части матрицы. При записи данных в ячейку памяти одной части

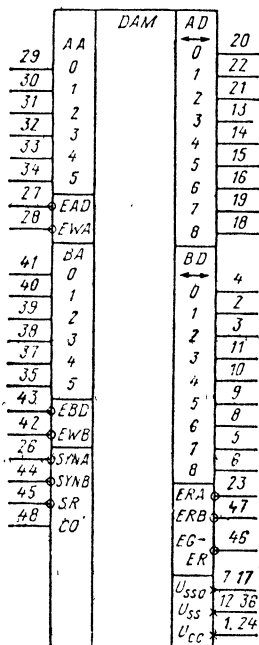


Рис. 3.22. Условное графическое обозначение БИС двухадресной буферной памяти

матрицы они автоматически записываются в аналогичную ячейку другой ее части. Назначение выводов БИС DAM приведено в табл. 3.37, а условное графическое обозначение — на рис. 3.22.

**Структурная схема ДАМ** (рис. 3.23) состоит из двух одинаковых частей А и В, каждая из которых включает в себя усилители данных, формирователи записи данных, дешифраторы адресов, блоки контроля четности адресов и данных, усилители считывания данных, регистры данных, триггеры ошибки и матрицу памяти двойного доступа (32 × 9). Общей частью является блок сравнения адресов. Шины данных AD и BD — 9-разрядные двунаправленные, шины адресов AA и BA — входные 5-разрядные однонаправленные. Каждая часть матрицы имеет входы разрешения записи EWA и EWB с шин данных в память, входы разрешения выдачи данных EAD и EBD из памяти на выходные шины. Синхронизация работы обеих частей микросхемы осуществляется синхро-

сигналами SYNA и SYNБ, которые поступают на регистры данных, блок сравнения адресов и триггеры ошибки четности. Вход управления SR устанавливает в исходное состояние триггеры ошибки и регистры данных. Сигнал I на выходе равенства адресов EG—ER указывает на то, что адреса AA и BA равны и разрешение записи одной шины совпадает с разрешением записи другой.

Таблица 3.37

## Назначение выводов БИС К1890РП6

Номер вывода	Обозначение	Назначение
1, 24	$U_{CC}$	Напряжение источника питания, —5,2 В
2...6, 8...11	BD1, BD2, BD0 BD7, BD8, BD6, BD5, BD4, BD3	Шина данных BD — двунаправленные выводы разрядов 0...8
7, 17	$U_{SSO}$	Общий (выходных транзисторов)
12, 36	$U_{SS}$	Общий (схемы)
13...16, 18...22	AD3...AD6, AD8, AD7, AD0, AD2, ADI	Шина данных AD — двунаправленные выводы разрядов 0...8
23	$\overline{ERA}$	Выход ошибки четности данных или адреса AA
26	$\overline{SYNA}$	Вход синхронизации выходного регистра AA
27	$\overline{EAD}$	Вход, разрешающий выдачу данных на шину AD
28	$\overline{EWA}$	Вход, разрешающий запись из шины AD в память
29...34	AA0, AA1...AA5	Входы адреса AA разрядов 0 (на четность), 1 (младший)...5 (старший)
35, 37...41	BA5...BA1, BA0	Входы адреса BA разрядов 0 (на четность), 1 (младший)...5 (старший)
42	$\overline{EWB}$	Вход, разрешающий запись из шины BD в память
43	$\overline{EBD}$	Вход, разрешающий выдачу данных на шину BD
44	$\overline{SYNB}$	Вход синхронизации выходного регистра BA
45	$\overline{SR}$	Вход, управляющий гашением триггеров ошибки и выходных регистров
46	$\overline{EG-ER}$	Выход равенства адресов AA и BA признака ошибки
47	$\overline{ERB}$	Выход ошибки четности данных или адреса BA
48	CO	Вход управления режимом гашения



переходе синхросигнала из лог. 0 в лог. 1. Триггеры ошибки реализованы на двухступенчатых RS-триггерах (ЛЭЗО, рис. 2.22), синхронизируемых положительным фронтом.

Блок контроля четности адреса и данных срабатывает, если есть ошибка четности адреса. Содержимое выбранного адреса не может измениться при записи, чтобы облегчить восстановление ошибки. Блок контроля ошибки адреса может быть запрещен подсоединением входов четности адреса (AA0 или BA0) к напряжению питания  $U_{cc}$ . Данные, записываемые или считываемые из памяти, проверяются на четность. Если проверки на четность не требуется, то слово в памяти может состоять из 9 бит. Блок сравнения адресов выдает на выходе  $\overline{EG}-\overline{ER}$  сигнал, когда из памяти считывается неправильная информация или при ошибочной записи. Это возможно, если происходит одновременная запись из двух шин данных в один и тот же адрес. Ошибочные данные могут быть считаны из памяти в случаях, если адреса равны, если происходит запись по одной шине и срабатывает синхронизация регистра данных другой шины.

Вход гашения триггеров ( $\overline{SR}$ ) используется для синхронной установки в исходное состояние триггеров ошибки и регистров данных, в результате чего на выходах  $\overline{ERA}$  и  $\overline{ERB}$  появляются лог. 1. Выходы триггеров регистра устанавливаются в состояние лог. 0, если вход CO подключается к напряжению  $-2$  В. Если вход CO отключен, выходы регистров устанавливаются в состояние 01111111 (0 соответствует позиции младшего бита в слове). При управлении входом CO на входе  $\overline{SR}$  в обоих случаях необходимо установить лог. 0.

Рассмотрим работу микросхемы при выполнении основных операций (табл. 3.38). В режиме Нет операции запись в память запрещена, если сигналы на входах  $\overline{EWA}$  или  $\overline{EWB} = 1$ . Считывание из памяти в регистр данных запрещено и содержимое регистров не изменяется, если сигналы синхронизации на входах  $\overline{SYNA}$  или  $\overline{SYNB} = 1$ . Передача содержимого из регистров данных запрещена, если сигналы на входах  $\overline{EAD}$  или  $\overline{EBD} = 1$ . При выполнении операции считывания возможны три режима работы. В режиме разрешенного доступа на входах  $\overline{EAD}$  или  $\overline{EBD}$  управляющие сигналы равны лог. 0 и выполняется передача содержимого регистров данных на шину AD или BD. Для уменьшения времени доступа регистр данных заранее загружается из матрицы памяти. В режиме адресной выборки при выполнении операции считывания адресные входы выбирают ячейку матрицы памяти и после определенной за-



Таблица 3.38

## Выполнение операций в БИС DAM

Операция	Содержание матрицы памяти		Считывание с выхода усилителя		EWA	Ошибки чет-ности адреса АА0	EWB	Ошибки чет-ности адреса ВА0	Состояние равенства адресов
	Адрес АА	Адрес ВА	Считывание с выхода усилителя						
			AD	BD					
Считывание AD, BD	—	—	MA0...MA8	MB0...MB8	1	X	1	X	X
Запись AA, считывание BD	AD0...AD8	—	AD0...AD8	MB0...MB8	0	0	1	X	0
Запись AD, считывание BD (все 1)	AD0...AD8	AD0...AD8	AD0...AD8	Все 1	0	0	1	X	1
Ошибка четности, нет записи AD, считывание BD	—	—	MA0...MA8	MB0...MB8	0	1	1	X	X
Считывание AD, запись BD	—	BD0...BD8	MA0...MA8	BD0...BD8	1	X	0	0	0
Считывание AD (все 1), запись BD	BD0...BD8	BD0...BD8	Все 1	BD0...BD8	1	X	0	0	1
Считывание AD, ошибка четности, нет записи BD	—	—	MA0...MA8	MB0...MB8	1	X	0	1	X
Запись AD, BD	AD0...AD8	BD0...BD8	AD0...AD8	BD0...BD8	0	0	0	0	0
Ошибка четности, нет записи AD, запись BD	—	BD0...BD8	MA0...MA8	BD0...BD8	0	1	0	0	0
Запись AD, ошибка четности, нет записи BD	AD0...AD8	—	AD0...AD8	MB0...MB8	0	0	0	1	0
Ошибка четности, нет записи AD, ошибка четности, нет записи BD	—	—	MA0...MA8	MB0...MB8	0	1	0	1	X
Запись запрещена	—	—	Все 1	Все 1	0	0	0	0	1
Ошибка четности, нет записи AD, запись BD	BD0...BD8	BD0...BD8	Все 1	BD0...BD8	0	1	0	0	1
Запись AD, ошибка четности, нет записи BD	AD0...AD8	AD0...AD8	AD0...AD8	Все 1	0	0	0	1	1

Примечание. MA0...MA8 представляют данные в матрице памяти в ячейке, адресуемой с помощью AA1...AA5; MB0...MB8 представляют данные в матрице памяти в ячейке, адресуемой с помощью BA1...BA5.

держки на шине появляются данные. Для реализации этого режима на входах  $\overline{\text{SYNA}}$ ,  $\overline{\text{SYNB}}$  и  $\overline{\text{EAD}}$ ,  $\overline{\text{EBD}}$  должно быть установлено лог. 0. В режиме считывания синхросигналом происходит считывание данных при  $\overline{\text{SYNA}}$  или  $\overline{\text{SYNB}} = 0$ . Для этого адреса ячеек должны быть выбраны заранее, и если  $\overline{\text{EAD}}$  или  $\overline{\text{EBD}} = 0$ , на шине AD или BD появляются данные. При переходе  $\overline{\text{SYNA}}$  или  $\overline{\text{SYNB}}$  из лог. 0 в лог. 1 выбранные из матрицы данные запоминаются в регистре данных AD или BD (табл. 3.39).

Таблица 3.39

Запись данных в регистр AD

CO	$\overline{\text{SR}}$	$\overline{\text{SYNA}}$	RGA									
			AD0	AD1	AD2	AD3	AD4	AD5	AD6	AD7	AD8	
Отключен	0	X	0	1	1	1	1	1	1	1	1	1
-2 В	0	X	0	0	0	0	0	0	0	0	0	0
X	1	1*	—	—	—	—	—	—	—	—	—	—
X	1	0**	Считывание выхода усилителя AD									

\* Информация фиксируется, когда  $\overline{\text{SYNA}}=1$ .

\*\* Считывание с выхода усилителя AD разрешено с выходов AD регистра данных при  $\overline{\text{SYNA}}=0$ .

Запись данных в регистр данных BD описывается аналогичной таблицей.

В режиме считывания выходы  $\overline{\text{ERA}}$  и  $\overline{\text{ERB}}$  триггеров ошибки устанавливаются в состояние лог. 0, если появляется ошибка четности адреса или данных. Выполнение операции записи производится от внешних источников данных при закрытом состоянии (лог. 1) на входах разрешения  $\overline{\text{EAD}}$  и  $\overline{\text{EBD}}$ . Однако разрешающие входы EAD и EBD должны быть в открытом состоянии (лог. 0), если источником записываемой информации является внутренний регистр данных AD или BD. Состояние на входах шины адреса устанавливается раньше перехода входов, разрешающих запись в лог. 0 для того, чтобы четность адреса можно было проверить и не разрешить запись при наличии ошибки (табл. 3.40). Информация с шины данных записывается в ячейку памяти, когда разрешающий запись вход  $\overline{\text{EWA}}$  или  $\overline{\text{EWB}}$  находится в состоянии лог. 0. Информация не должна изменяться в течение времени установки, хранения и перехода сигналов на входах  $\overline{\text{EWA}}$ ,  $\overline{\text{EWB}}$  из состояния лог. 0

Таблица 3.40

## Работа триггеров ошибки БИС DAM

Выход усилителя считывания данных AD	$\overline{ERA}$	$\overline{SR}$	$\overline{SYNA}$	$\overline{EWA}$	Ошибка четности адреса AA
X	1	0	X	X	X
X	—	1	0	X	X
X	—	1	X	0	X
X	—	1	1 или 1→0	1 или 1→0	X
Четное число единиц	1	1	0→1	1	0
X	0	1	0→1	1	1
Нечетное число единиц	0	1	0→1	1	X
Четное число единиц	1	1	1	0→1	0
X	0	1	1	0→1	1
Нечетное число единиц	0	1	1	0→1	X

Примечание. Запись 1→0 или 0→1 означает переход сигнала из лог 1 в лог 0 или наоборот.

в лог. 1. Триггеры ошибки выдают ошибку четности адреса или данных при  $\overline{EWA}$  или  $\overline{EWB} = 1$ .

Установка в исходное состояние триггеров ошибки (табл. 3.40) и регистров данных (см. табл. 3.39) может быть выполнена асинхронно кратковременной установкой входа  $\overline{SR}$  в состояние лог. 0. Ошибочная запись данных в матрицу памяти возможна при условии, что обе шины данных (AD и BD) записывают по одному адресу. Теоретически такое условие невозможно, так как в микросхеме предусмотрен запрет выбора шины BD, если производится запись из шины AD. Однако практически такая ситуация может возникнуть, если один управляющий сигнал слабее другого. Ошибочная запись возможна также, когда запись производится с одной шины данных, например AD, а синхросигнал появляется на входе регистра данных другой шины (BD). В этом случае микросхема вырабатывает все единицы в регистре данных, как показано в табл. 3.40.

Если синхросигнал остается в состоянии лог. 0 достаточно длительное время после появления управляющего импульса разрешения записи на входах  $\overline{EWA}$  ( $\overline{EWB}$ ), содержимое регистров корректируется данными из матрицы, и ошибка четности не возникает. Ошибка возникает в том случае, когда  $\overline{SYNA}$  или  $\overline{SYNB} = 1$  во время появления всех единиц в регистре данных, так как все единицы являются признаком нечетности. Сигнал на выходе микросхемы  $\overline{EG-ER} = 0$ , когда создаются условия для возникновения ошибки (табл. 3.41).

Временные диаграммы работы DAM в различных режимах показаны на рис. 3.24. Входы, разрешающие выдачу данных EAD или EBD, поддерживаются в состоянии лог. 0 ( $U_{0H}$ ) при выборе адреса — считывании и в состоянии лог. 1 ( $U_{0L}$ ) при записи по выбранному адресу. Время

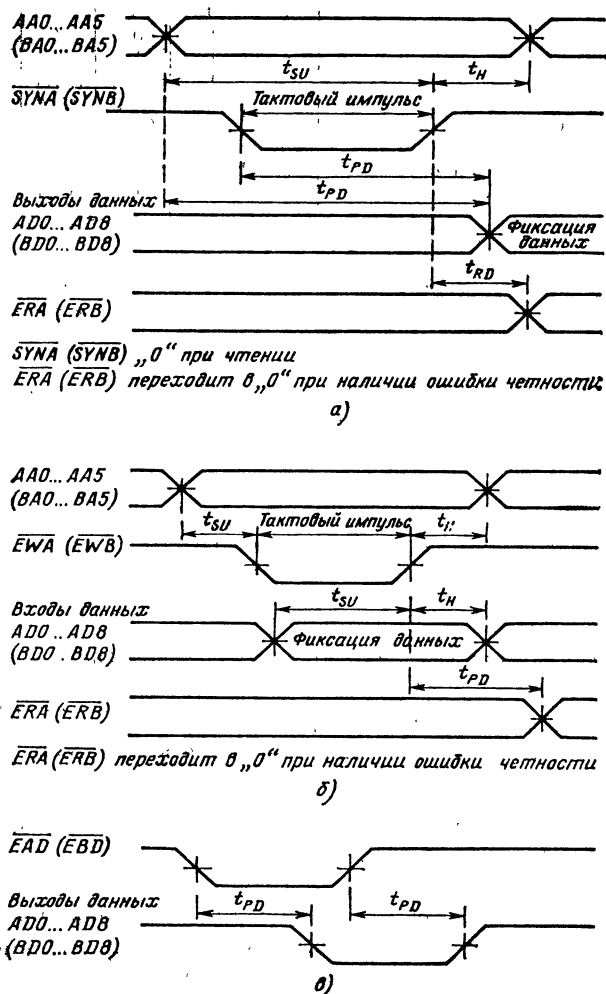


Рис. 3.24. Временные диаграммы работы БИС К1800РП6 в режимах: выбора адреса — чтения (а), записи по выбранному адресу (б) и чтения при разрешении выбора (в)

Таблица 3.41

Условия появления признака ошибки

$\overline{EG-ER}$	Адреса равны	$\overline{EWA}$	$\overline{EWB}$	$\overline{SYNA}$	$\overline{SYNB}$
1	0	X	X	X	X
1	X	1	1	X	X
1	1	1	0	1	X
0	1	X	0	0	X
1	1	0	1	X	1
0	1	0	X	X	0
0	1	0	0	X	X

задержки распространения ( $t_{pD}$ ), время установки ( $t_{sU}$ ) и удержания ( $t_H$ ) сигналов измеряются на уровне 50 % от амплитуды сигналов.

### 3.7. Двухнаправленный приемопередатчик

Двухнаправленный приемопередатчик К1800ВА7 (BDT) предназначен для организации обмена информацией между отдельными блоками процессора. Пятиразрядная микросхема работает с уровнями напряжения сигналов ECL. Данные могут передаваться с одной шины АВ на другую ВВ или наоборот, в обоих направлениях и могут направляться к фиксатору для запоминания. Назначение выводов микросхемы BDT дано в табл. 3.42, условное графическое обозначение — на рис. 3.25.

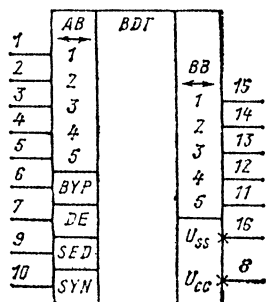


Рис. 3.25. Условное графическое обозначение БИС двухнаправленного приемопередатчика

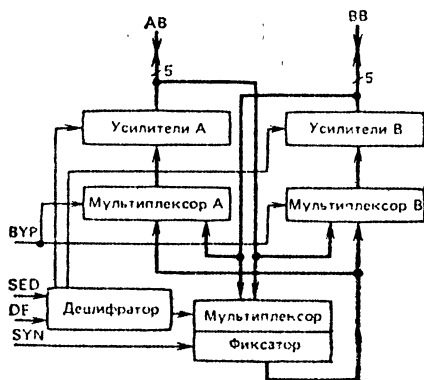


Рис. 3.26. Структурная схема БИС К1800ВА7

Таблица 3.42

Назначение выводов БИС К1800ВА7

Номер вывода	Обозначение	Назначение
1...5	AB1...AB5	Шина АВ — двунаправленные выходы разрядов 1...5
6	BYP	Вход управления обходом регистрафиксатора
7	DE	Вход управления запретом выходов
8	U <sub>cc</sub>	Напряжение источника питания, —5,2 В
9	SED	Вход выбора направления передачи АВ — ВВ
10	SYN	Вход синхронизации
11...15	BB5...BB1	Шина ВВ — двунаправленные выходы разрядов 1...5
16	U <sub>ss</sub>	Общий

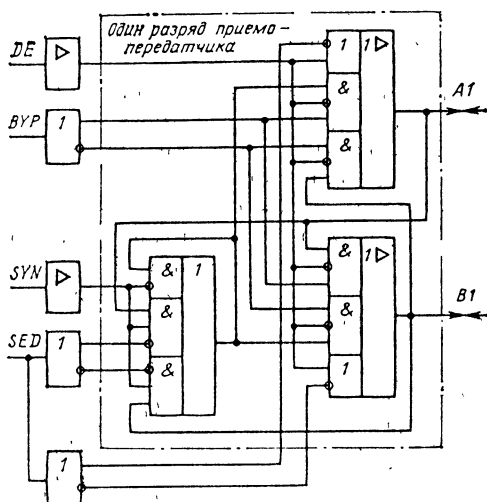


Рис. 3.27. Функциональная схема одного разряда ECL приемопередатчика

Структурная схема ВДТ (рис. 3.26) состоит из пяти каналов, одинаковых для каждого разряда, общего дешифратора и цепей сигналов управления. Каждый канал состоит из триггера с мультиплексором, мультиплексоров А, В и усилителей А, В. Функциональная схема одного разряда микросхемы приемопередатчика приведена на рис. 3.27.

Таблица 3.43

## Функции, выполняемые БИС К1800ВА7

Фиксатор	Функция		Управляющие входы			
	Шина АВ	Шина ВВ	DE	SED	ВУР	SYN
—	Закрыта	Выход: Q	0	0	0	0
Q=AB=0	Вход: 0	Выход: Q=0	0	0	0	1
Q=AB=1	1	1	0	0	0	1
Обход (AB→BB)	Вход: 0 1	Выход: 0 1	0	0	1	0
Q=AB=0	Вход: 0	Выход: 0	0	0	1	1
Q=AB=1	1	1	0	0	1	1
—	Выход: Q=0 1	Закрыта	0	1	0	0
Q=BB=0	Выход: Q=0	Вход: 0	0	1	0	1
Q=BB=1	1	1	0	1	0	1
Обход (BB→AB)	Выход: V=0 1	Вход: 0 1	0	1	1	0
Q=BB=0	Выход: V=0	Вход: 0	0	1	1	1
Q=BB=1	1	1	0	1	1	1
—	Закрыта	Закрыта	1	0	0	0
Q=AB=0	Вход: 0	Закрыта	1	0	0	1
Q=AB=1	1	1	1	0	1	0
—	Закрыта	Закрыта	1	0	1	0
Q=AB=0	Вход: 0	Закрыта	1	0	1	1
Q=AB=1	1	1	1	0	1	1
—	Закрыта	Закрыта	1	1	0	0
Q=BB=0	Закрыта	Вход: 0	1	1	0	1
Q=BB=1	1	1	1	1	0	1
—	Закрыта	Закрыта	1	1	1	0
Q=BB=0	Закрыта	Вход: 0	1	1	1	1
Q=BB=1	1	1	1	1	1	1

Триггеры фиксатора реализованы на двухступенчатых синхронизируемых положительным фронтом синхросигнала D-триггерах (рис. 2.20).

**Описание работы BDT.** Вход SED выбирает направление передачи. Когда  $SED = U_L$ , информация с шины ВВ направляется на вход фиксатора и передается из фиксатора на шину АВ. При  $SED = U_H$  направление передачи меняется, выходной усилитель приемной шины должен быть закрыт сигналом  $U_L$  на входе DE и данные из выбранной шины могут быть переданы в фиксатор сигналом SYN. При  $DE = U_H$  разрешается выдача данных на выбранную шину. Вход ВУР определяет путь передачи данных. При  $ВУР = U_L$  данные передаются одновременно на выход и на вход фиксатора. При  $ВУР = U_H$  данные загружаются в фиксатор и не передаются на выбранную шину. Они хранятся в фиксаторе, если сигнал SYN изменяется ( $U_L \rightarrow U_H$ ), и проходят через него без запоминания, если  $SYN = U_L$ . Функции, выполняемые микросхемой BDT, приведены в табл. 3.43. Разрядность устройства может быть увеличена параллельным включением микросхем.

### 3.8. Многоразрядный программируемый сдвигатель

**Многоразрядный программируемый сдвигатель К1800ВР8 (PS)** предназначен для сдвига 16-разрядных данных в микропроцессоре. Применяется при выполнении операций с плавающей запятой для предварительной денормализации и выравнивания порядков. Вход знака определяет полярность бита знака и позволяет работать как с положительной, так и с отрицательной логикой. БИС PS выполняет восемь операций сдвига: арифметический сдвиг влево и вправо, циклический сдвиг влево и вправо, сдвиг влево и вправо в дополнительном коде, блокировку выходов, распространение знакового разряда по всем выходам. Каждая операция сдвига задается с помощью управляющих сигналов на семи входах микросхемы. Структура микросхемы позволяет организовать устройства сдвига необходимой разрядности.

DI		PS		DO	
44	00				
43	01				8
42	02			00	13
41	03			01	8
40	04			02	21
39	05			03	5
38	06			04	9
37	07			05	14
35	08			06	20
34	09			07	4
33	10			08	10
32	11			09	15
31	12			10	19
30	13			11	3
29	14			12	11
28	15			13	16
				14	18
				15	
22	COF				
	0				
23	1				
26	2				
27	3				
47	COT				
	0			$U_{SS0}$	7, 17
46	1			$U_{SS}$	12, 36
45	2			$U_{CC}$	1, 24
2	SI				

Рис. 3.28. Условное графическое обозначение БИС программируемого сдвигателя



Назначение выводов микросхемы приведено в табл. 3.44, а условное графическое обозначение — на рис. 3.28.

В состав микросхемы PS (рис. 3.29) входит дешифратор вида сдвига (DCT) и дешифратор выбора величины сдвига

Таблица 3.44

Назначение выводов БИС К1800ВР8

Номер вывода	Обозначение	Назначение
1, 24	$U_{CC1}$	Напряжение источника питания, —5,2 В
2	SI	Вход знакового разряда
3...6, 8...11, 13...16, 18...21	DO12, DO08, DO04, DO00, DO01, DO05, DO09, DO13, DO02, DO06, DO10, DO14, DO15, DO11, DO07, DO03	Выходы данных DO разрядов 0 (младший)...15 (старший)
7, 17	$U_{SS0}$	Общий (выходных транзисторов)
12, 36	$U_{SS}$	Общий (схемы)
22, 23, 26, 27	COF0...COF3	Входы управления величиной сдвига
28...35, 37...44	DI15...DI00	Входы данных DI разрядов 0 (младший)...15 (старший)
45...47	COT2...COT0	Входы управления видом сдвига

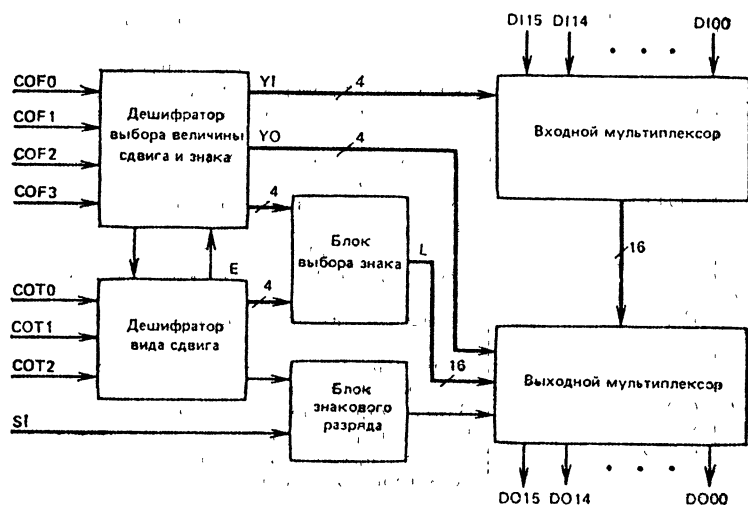


Рис. 3.29. Структурная схема БИС К1800ВР8

и знака (DOF), входной мультиплексор (MUXI) и выходной (MUXO), блок выбора знака и блок знакового разряда. Информация приходит на 16 входов данных DI01 ... DI15 и после выполнения сдвига передается на 16 выходов данных DO00 ... DO15. Выбор одной из 8 операций вида сдвига осуществляют сигналы на входах COT0 ... COT2, а величина сдвига устанавливается сигналами на входах COF0 ... COF3. Вход SI используется для определения знака операций арифметического сдвига и распространения знакового разряда.

**Описание работы PS.** Дешифратор вида сдвига в зависимости от значения управляющих сигналов на входах COT0 ... COT2 выбирает одну из восьми операций типа сдвига (табл. 3.45). Дешифратор выбора сдвига и знака с

Таблица 3.45

Виды операций сдвига БИС К1800ВР8

Обозначение операции	Управляющие сигналы			Функция
	COT2	COT1	COT0	
SBO	0	0	0	Распространение знакового разряда по всем выходам
CDA	0	0	1	Блокировка выходов. Все выходы (DO15...DO00) устанавливаются в 1
SIC	0	1	0	Сдвиг влево в дополнительном коде. Входы DI15...DI00 сдвигаются влево на выходы DO15...DO00 в соответствии с дополнительным кодом слова на управляющих шинах COF3...COF0. Освобождающиеся разряды заполняются единицами
SRC	0	1	1	Сдвиг вправо в дополнительном коде. Входы DI15...DI00 сдвигаются вправо на выходы DO15...DO00 в соответствии с дополнительным кодом слова на управляющих шинах COF3...COF0. Освобождающиеся разряды заполняются единицами
RRT	1	0	0	Циклический сдвиг вправо
RLT	1	0	1	Циклический сдвиг влево
ARS	1	1	0	Арифметический сдвиг вправо. Освобождающиеся разряды заполняются информацией знакового разряда
ALS	1	1	1	Арифметический сдвиг влево. Освобождающиеся разряды заполняются информацией знакового разряда

помощью управляющих сигналов на входах COF0 ... COF3 устанавливает число разрядов, на которое необходимо произвести сдвиг, и определяет разряды, в которые должен быть помещен знак. Выполнение всех видов сдвига иллюстрируется табл. 3.46 ... 3.53.

Входной мультиплексор осуществляет передачу 16-разрядной входной информации D100 ... D115 прямым кодом или с циклическим сдвигом вправо на один, два или три разряда. Выходные логические функции входного мультиплексора:

$$\begin{aligned}
 B00 &= D100 \cdot \overline{Y10} \vee D101 \cdot \overline{Y11} \vee D102 \cdot \overline{Y12} \vee D103 \cdot \overline{Y13}, \\
 B01 &= D101 \cdot \overline{Y10} \vee D102 \cdot \overline{Y11} \vee D103 \cdot \overline{Y12} \vee D104 \cdot \overline{Y13}, \\
 B02 &= D102 \cdot \overline{Y10} \vee D103 \cdot \overline{Y11} \vee D104 \cdot \overline{Y12} \vee D105 \cdot \overline{Y13}, \\
 B03 &= D103 \cdot \overline{Y10} \vee D104 \cdot \overline{Y11} \vee D105 \cdot \overline{Y12} \vee D106 \cdot \overline{Y13}, \\
 B04 &= D104 \cdot \overline{Y10} \vee D105 \cdot \overline{Y11} \vee D106 \cdot \overline{Y12} \vee D107 \cdot \overline{Y13}, \\
 B05 &= D105 \cdot \overline{Y10} \vee D106 \cdot \overline{Y11} \vee D107 \cdot \overline{Y12} \vee D108 \cdot \overline{Y13}, \\
 B06 &= D106 \cdot \overline{Y10} \vee D107 \cdot \overline{Y11} \vee D108 \cdot \overline{Y12} \vee D109 \cdot \overline{Y13}, \\
 B07 &= D107 \cdot \overline{Y10} \vee D108 \cdot \overline{Y11} \vee D109 \cdot \overline{Y12} \vee D110 \cdot \overline{Y13}, \\
 B08 &= D108 \cdot \overline{Y10} \vee D109 \cdot \overline{Y11} \vee D110 \cdot \overline{Y12} \vee D111 \cdot \overline{Y13}, \\
 B09 &= D109 \cdot \overline{Y10} \vee D110 \cdot \overline{Y11} \vee D111 \cdot \overline{Y12} \vee D112 \cdot \overline{Y13}, \\
 B10 &= D110 \cdot \overline{Y10} \vee D111 \cdot \overline{Y11} \vee D112 \cdot \overline{Y12} \vee D113 \cdot \overline{Y13}, \\
 B11 &= D111 \cdot \overline{Y10} \vee D112 \cdot \overline{Y11} \vee D113 \cdot \overline{Y12} \vee D114 \cdot \overline{Y13}, \\
 B12 &= D112 \cdot \overline{Y10} \vee D113 \cdot \overline{Y11} \vee D114 \cdot \overline{Y12} \vee D115 \cdot \overline{Y13}, \\
 B13 &= D113 \cdot \overline{Y10} \vee D114 \cdot \overline{Y11} \vee D115 \cdot \overline{Y12} \vee D100 \cdot \overline{Y13}, \\
 B14 &= D114 \cdot \overline{Y10} \vee D115 \cdot \overline{Y11} \vee D100 \cdot \overline{Y12} \vee D101 \cdot \overline{Y13}, \\
 B15 &= D115 \cdot \overline{Y10} \vee D100 \cdot \overline{Y11} \vee D101 \cdot \overline{Y12} \vee D102 \cdot \overline{Y13}.
 \end{aligned}$$

Здесь  $\overline{Y10} \dots \overline{Y13}$  — сигналы управления, поступающие из дешифратора величины сдвига и знака. При выполнении операции только один из четырех сигналов может быть равен 1. При  $\overline{Y10} = 1$  нет сдвига, при  $\overline{Y11} = 1$  сдвиг на один разряд, при  $\overline{Y12} = 1$  — на два разряда, при  $\overline{Y13} = 1$  — на три разряда. Выходной мультиплексор осуществляет передачу 16-разрядной информации прямым кодом или с циклическим сдвигом вправо на 4, 8 или 12 разрядов на выходах DO00 ... DO15 и устанавливает знак на выходах в соответствии с управляющими сигналами L01...L16 из блока выбора знака. Управляющие сигналы L01 ... L16 опреде-

★ Таблица 3.46

Арифметический сдвиг влево (ALS) при  $COT2=1$ ,  $COT1=1$ ,  $COT0=1$

Управление				Выходы DO															
COF3	COF2	COF1	COF0	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
0	0	0	0	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
0	0	0	0	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00	SI
0	0	0	0	13	12	11	10	09	08	07	06	05	04	03	02	01	00	SI	SI
0	0	0	0	12	11	10	09	08	07	06	05	04	03	02	01	00	SI	SI	SI
0	0	0	0	11	10	09	08	07	06	05	04	03	02	01	00	SI	SI	SI	SI
0	0	0	0	10	09	08	07	06	05	04	03	02	01	00	SI	SI	SI	SI	SI
0	0	0	0	09	08	07	06	05	04	03	02	01	00	SI	SI	SI	SI	SI	SI
0	0	0	0	08	07	06	05	04	03	02	01	00	SI	SI	SI	SI	SI	SI	SI
1	0	0	0	07	06	05	04	03	02	01	00	SI	SI	SI	SI	SI	SI	SI	SI
1	0	0	0	06	05	04	03	02	01	00	SI	SI	SI	SI	SI	SI	SI	SI	SI
1	0	0	0	05	04	03	02	01	00	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI
1	0	0	0	04	03	02	01	00	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI
1	0	0	0	03	02	01	00	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI
1	0	0	0	02	01	00	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI
1	0	0	0	01	00	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI
1	0	0	0	00	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI

Входы DI

07	06	05	04	03	02	01	00	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI
06	05	04	03	02	01	00	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI
05	04	03	02	01	00	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI
04	03	02	01	00	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI
03	02	01	00	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI
02	01	00	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI
01	00	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI
00	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI



Таблица 3.48

Циклический сдвиг влево (RLT) при  $COT2=1$ ,  $COT1=0$ ,  $COT0=1$ 

Управление				Выходы DO															
COF3	COF2	COF1	COF0	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
Входы DI																			
0	0	0	0	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
0	0	0	1	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00	15
0	0	1	0	13	12	11	10	09	08	07	06	05	04	03	02	01	00	15	14
0	0	1	1	12	11	10	09	08	07	06	05	04	03	02	01	00	15	14	13
0	1	0	0	11	10	09	08	07	06	05	04	03	02	01	00	15	14	13	12
0	1	0	1	10	09	08	07	06	05	04	03	02	01	00	15	14	13	12	11
0	1	1	0	09	08	07	06	05	04	03	02	01	00	15	14	13	12	11	10
0	1	1	1	08	07	06	05	04	03	02	01	00	15	14	13	12	11	10	09
1	0	0	0	07	06	05	04	03	02	01	00	15	14	13	12	11	10	09	08
1	0	0	1	06	05	04	03	02	01	00	15	14	13	12	11	10	09	08	07
1	0	1	0	05	04	03	02	01	00	15	14	13	12	11	10	09	08	07	06
1	0	1	1	04	03	02	01	00	15	14	13	12	11	10	09	08	07	06	05
1	1	0	0	03	02	01	00	15	14	13	12	11	10	09	08	07	06	05	04
1	1	1	0	02	01	00	15	14	13	12	11	10	09	08	07	06	05	04	03
1	1	1	1	01	00	15	14	13	12	11	10	09	08	07	06	05	04	03	02
1	1	1	1	00	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01

Т а б л и ц а 3.49

Циклический сдвиг вправо (RRT) при  $COF2=1$ ,  $COF1=0$ ,  $COF0=0$ 

Управление				Выходы DO															
COF3	COF2	COF1	COF0	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
0	0	0	0	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
0	0	0	0	00	01	00	15	14	13	12	11	10	09	08	07	06	05	04	03
0	0	0	0	01	00	15	14	13	12	11	10	09	08	07	06	05	04	03	02
0	0	0	0	02	01	00	15	14	13	12	11	10	09	08	07	06	05	04	03
0	0	0	0	03	02	01	00	15	14	13	12	11	10	09	08	07	06	05	04
0	0	0	0	04	03	02	01	00	15	14	13	12	11	10	09	08	07	06	05
0	0	0	0	05	04	03	02	01	00	15	14	13	12	11	10	09	08	07	06
0	0	0	0	06	05	04	03	02	01	00	15	14	13	12	11	10	09	08	07
0	0	0	0	07	06	05	04	03	02	01	00	15	14	13	12	11	10	09	08
0	0	0	0	08	07	06	05	04	03	02	01	00	15	14	13	12	11	10	09
0	0	0	0	09	08	07	06	05	04	03	02	01	00	15	14	13	12	11	10
0	0	0	0	10	09	08	07	06	05	04	03	02	01	00	15	14	13	12	11
0	0	0	0	11	10	09	08	07	06	05	04	03	02	01	00	15	14	13	12
0	0	0	0	12	11	10	09	08	07	06	05	04	03	02	01	00	15	14	13
0	0	0	0	13	12	11	10	09	08	07	06	05	04	03	02	01	00	15	14
0	0	0	0	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00	15
0	0	0	0	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00

Входы DI





Таблица 3.51

Арифметический сдвиг влево в дополнительном коде (SLC) при  $CO_2=0$ ,  $CO_1=1$ ,  $CO_0=0$ 

Управление				Выходы DO																
COF3	COF2	COF1	COF0	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00	
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	00	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	01	00	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	02	01	00	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	03	02	01	00	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	04	03	02	01	00	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	05	04	03	02	01	00	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	06	05	04	03	02	01	00	1	1	1	1	1	1	1	1	1	1
1	0	0	0	07	06	05	04	03	02	01	00	1	1	1	1	1	1	1	1	1
1	0	0	0	08	07	06	05	04	03	02	01	00	1	1	1	1	1	1	1	1
1	0	0	0	09	08	07	06	05	04	03	02	01	00	1	1	1	1	1	1	1
1	0	0	0	10	09	08	07	06	05	04	03	02	01	00	1	1	1	1	1	1
1	0	0	0	11	10	09	08	07	06	05	04	03	02	01	00	1	1	1	1	1
1	0	0	0	12	11	10	09	08	07	06	05	04	03	02	01	00	1	1	1	1
1	0	0	0	13	12	11	10	09	08	07	06	05	04	03	02	01	00	1	1	1
1	0	0	0	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00	1	1

Входы DI

Таблица 3.52

Блокировка выходов (ODA) при  $COT2 = COT1 = 0$ ,  $COT0 = 1$ 

Величина сдвига				Выходы DO																
COF3	COF2	COF1	COF0	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00	
X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Таблица 3.53

Распространение знакового разряда по всем выходам (SBO) при  $COT2 = COT1 = COT0 = 0$ 

Величина сдвига				Выходы DO																
COF3	COF2	COF1	COF0	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00	
X	X	X	X	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI	SI

ляют число разрядов, заполняемых знаковым разрядом при операции сдвига. Работа схемы выходного мультиплекса сопровождается выходными функциями:

$$\begin{aligned}
 DO00 &= \overline{L15} \cdot \overline{F} \vee L15 \cdot (B00 \cdot \overline{Y00} \vee B04 \cdot \overline{Y01} \vee B08 \cdot \overline{Y02} \vee B12 \cdot \overline{Y03}), \\
 DO01 &= \overline{L01} \cdot \overline{F} \vee L01 \cdot (B01 \cdot \overline{Y00} \vee B05 \cdot \overline{Y01} \vee B09 \cdot \overline{Y02} \vee B13 \cdot \overline{Y03}), \\
 DO02 &= \overline{L03} \cdot \overline{F} \vee L03 \cdot (B02 \cdot \overline{Y00} \vee B06 \cdot \overline{Y01} \vee B10 \cdot \overline{Y02} \vee B14 \cdot \overline{Y03}), \\
 DO03 &= \overline{L09} \cdot \overline{F} \vee L09 \cdot (B03 \cdot \overline{Y00} \vee B07 \cdot \overline{Y01} \vee B11 \cdot \overline{Y02} \vee B15 \cdot \overline{Y03}), \\
 DO04 &= \overline{L14} \cdot \overline{F} \vee L14 \cdot (B04 \cdot \overline{Y00} \vee B08 \cdot \overline{Y01} \vee B12 \cdot \overline{Y02} \vee B00 \cdot \overline{Y03}), \\
 DO05 &= \overline{L02} \cdot \overline{F} \vee L02 \cdot (B05 \cdot \overline{Y00} \vee B09 \cdot \overline{Y01} \vee B13 \cdot \overline{Y02} \vee B01 \cdot \overline{Y03}), \\
 DO06 &= \overline{L08} \cdot \overline{F} \vee L08 \cdot (B06 \cdot \overline{Y00} \vee B10 \cdot \overline{Y01} \vee B14 \cdot \overline{Y02} \vee B02 \cdot \overline{Y03}), \\
 DO07 &= \overline{L16} \cdot \overline{F} \vee L16 \cdot (B07 \cdot \overline{Y00} \vee B11 \cdot \overline{Y01} \vee B15 \cdot \overline{Y02} \vee B03 \cdot \overline{Y03}), \\
 DO08 &= \overline{L13} \cdot \overline{F} \vee L13 \cdot (B08 \cdot \overline{Y00} \vee B12 \cdot \overline{Y01} \vee B00 \cdot \overline{Y02} \vee B04 \cdot \overline{Y03}), \\
 DO09 &= \overline{L04} \cdot \overline{F} \vee L04 \cdot (B09 \cdot \overline{Y00} \vee B13 \cdot \overline{Y01} \vee B01 \cdot \overline{Y02} \vee B05 \cdot \overline{Y03}), \\
 DO10 &= \overline{L07} \cdot \overline{F} \vee L07 \cdot (B10 \cdot \overline{Y00} \vee B14 \cdot \overline{Y01} \vee B02 \cdot \overline{Y02} \vee B06 \cdot \overline{Y03}), \\
 DO11 &= \overline{L12} \cdot \overline{F} \vee L12 \cdot (B11 \cdot \overline{Y00} \vee B15 \cdot \overline{Y01} \vee B03 \cdot \overline{Y02} \vee B07 \cdot \overline{Y03}), \\
 DO12 &= \overline{L10} \cdot \overline{F} \vee L10 \cdot (B12 \cdot \overline{Y00} \vee B00 \cdot \overline{Y01} \vee \overline{Y02} \vee B08 \cdot \overline{Y03}), \\
 DO13 &= \overline{L05} \cdot \overline{F} \vee L05 \cdot (B13 \cdot \overline{Y00} \vee B01 \cdot \overline{Y01} \vee B05 \cdot \overline{Y02} \vee B09 \cdot \overline{Y03}), \\
 DO14 &= \overline{L06} \cdot \overline{F} \vee L06 \cdot (B14 \cdot \overline{Y00} \vee B02 \cdot \overline{Y01} \vee B06 \cdot \overline{Y02} \vee B10 \cdot \overline{Y03}), \\
 DO15 &= \overline{L11} \cdot \overline{F} \vee L11 \cdot (B15 \cdot \overline{Y00} \vee B03 \cdot \overline{Y01} \vee B07 \cdot \overline{Y02} \vee B11 \cdot \overline{Y03}).
 \end{aligned}$$

Здесь  $Y00 \dots Y03$  — сигналы, поступающие из DCF, определяют число разрядов, на которое должна быть сдвинута информация (0, 4, 8 или 12). При этом только один из четырех сигналов принимает значение 1. При  $Y00$  — нет сдвига, при  $Y01$  — сдвиг на 4 разряда, при  $Y02$  — на 8 разрядов, при  $Y03$  — на 12 разрядов,  $\overline{F}$  — знаковый разряд.

Микросхема K1800BP8 выполняет восемь видов сдвига (см. табл. 3.46 ... 3.53):

ALS — арифметический сдвиг влево (табл. 3.49). Входные данные сдвигаются влево с заполнением освобождающихся разрядов информацией знакового разряда, на который может быть подано напряжение верхнего или нижнего уровня в зависимости от принятой положительной или отрицательной логики.

ARS — арифметический сдвиг вправо (табл. 3.50). Входные данные сдвигаются вправо с заполнением освобождающихся разрядов информацией знакового разряда.

RLT — циклический сдвиг влево (табл. 3.51). При циклических сдвигах информация выдвигаемых разрядов устанавливается во сдвигаемых разрядах.

RRT — циклический сдвиг вправо (табл. 3.52). Этот вид сдвига используется при построении сдвигателя на 16, 32, 64, 128 или 256 разрядов.

SRC — сдвиг вправо в дополнительном коде (табл. 3.53) означает сдвиг вправо на число разрядов, равное дополнительному коду от числа сдвигов. Освободившиеся разряды заполняются лог. 1. Сдвиг вправо в дополнительном коде используется при построении сдвиговых матриц и многоразрядных сдвигателей, имеющих минимальную задержку для сдвига влево.

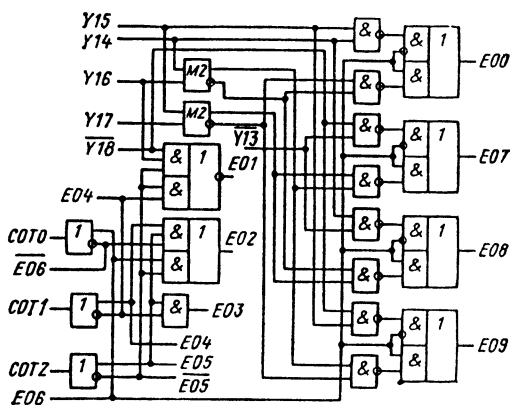


Рис. 3.30. Функциональная схема дешифратора вида сдвига

SLC — сдвиг влево в дополнительном коде (табл. 3.54), производится на число разрядов, равное дополнительному коду от числа сдвигов. Он используется в многоразрядных сдвигателях для выполнения операции сдвига вправо.

ODA — блокировка выходов (табл. 3.55). Эта функция сдвигателя используется для записи 1 по всем выходам вне зависимости от кода числа сдвигов.

SBO — распространение знакового разряда по всем выходам (табл. 3.56). При этой операции происходит заполнение всех выходов информацией знакового разряда независимо от кода числа сдвигов. Операция используется при распространении знака в многоразрядном сдвигателе для арифметического сдвига вправо.

Микросхема сдвигателя реализована в основном на двухступенчатых логических элементах ECL и EFL. Малое число внутренних логических элементов оправдывает использование одного напряжения питания ( $-5,2$  В). Дешифратор вида сдвига DCT (рис. 3.30) реализован на логических элементах ЛЭ5, ЛЭ6 и ЛЭ10. На вход DCT подаются внешние сигналы управления COT0 ... COT2 и сигналы Y13 ... Y18 из DCF. Дешифратор DCT вырабатывает сигналы управления E01 ... E09 для DCF, блока выбора знака и блока знакового разряда.

В микросхеме сдвигателя используются мультиплексоры на ЛЭ EFL. Входной мультиплексор реализован на 16 одинаковых логических элементах И—ИЛИ, аналогичных элементам типа ЛЭ5, ЛЭ14, с добавлением высокоомного входного резистора. Также реализован и выходной мультиплексор на ЛЭ, аналогичных ЛЭ20, с добавлением мощных вы-

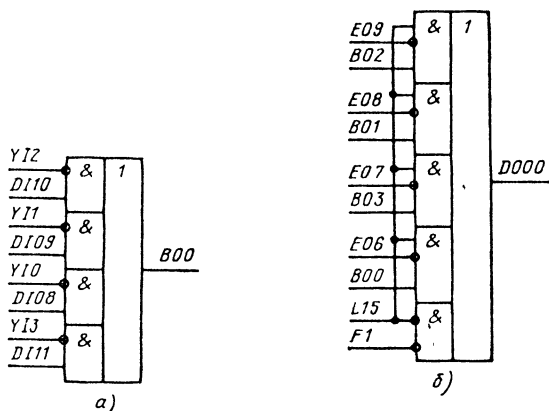


Рис. 3.31. Функциональная схема ЛЭ входного (а) и выходного (б) мультиплексоров микросхемы

ходных транзисторов. Функциональные схемы одного нулевого разряда входного и выходного мультиплексоров приведены на рис. 3.31.

#### 4. Электрические параметры и эксплуатационные характеристики БИС МПК К1800

##### 4.1. Методика контроля и контрольно-измерительная аппаратура для измерения электрических параметров БИС

Функциональный контроль (ФК) и измерение электрических статических и динамических параметров БИС комплекта К1800 имеет ряд особенностей, характерных для ECL-микросхем с высокой степенью интеграции:

а) используются три источника напряжения питания ( $U_{CC1} = -5,2$  В;  $U_{CC2} = -2$  В;  $U_{CC3} = +5$  В) с током потребления

0,2 ... 0,5 А от каждого, а также отдельный источник напряжения ( $-2,0$  В) для подключения нагрузочных резисторов ( $R_L = 50$  Ом) к выходам БИС;

б) шины питания и общие шины измерительной системы должны иметь защиту от паразитных связей и наводок (допустимая величина которых не более 50 мВ). Омическое сопротивление шин не должно превышать 0,04 Ом;

в) контактирующее устройство должно быть качественным и обеспечивать надежное соединение 48-выводных корпусов БИС с измерительной системой (сопротивление соединения не должно превышать 0,05 Ом);

г) одновременно (для измерения параметров одной БИС) используются два источника питания, четыре источника входных сигналов, два источника синхросигналов с фронтами не более 10 нс и один источник напряжения для подключения выходов БИС через нагрузку 50 Ом;

д) для измерения электрических статических параметров и ФК одной БИС используется до 455 тестовых наборов и 2475 измерений, что требует измерительной системы с ЭВМ и памятью до 32К бит (табл. 4.1);

е) в процессе измерения параметров должна обеспечиваться заданная температура ( $-10 \pm 3$  °С,  $+25 \pm 10$  °С,  $+75 \pm 2$  °С);

з) нестабильность всех напряжений заданного электрического режима в процессе измерения не должна превышать 1 %.

Измерение электрических статических параметров и функциональный контроль БИС МПК К1800 с учетом перечисленных требований проводятся с применением автоматизированных измерительных систем «Вахта-1А», «Электрон-СФ», «Виадук-1» или др. Погрешность измерения не должна превышать: 1 % для выходных уровней напряжения ( $U_{OH}$ ,  $U_{OL}$ ,  $U_{OH1}$ ,  $U_{OL1}$ ) и 3 % для токов ( $I_{CC}$ ,  $I_{IN}$ ,  $I_{IL}$ ).

Таблица 4.1

Число тестов ФК и измерения электрических параметров БИС МПК К1800

Вид измерений	Число тестовых наборов (ЧТН) и измерений (ЧИ)			
	К1800ВС1	К1800ВУ1	К1800ВБ2	К1800ВТ3
Функциональный контроль:				
ЧТН	84	224	148	261
ЧИ	283	404	148	435
Статические параметры:				
ЧТН	88	90	55	112
ЧИ	158	163	65	176
Динамические параметры:				
ЧТН	13	10	11	16
ЧИ	13	10	11	16

Вид измерений	Число тестовых наборов (ЧТН) и измерений (ЧИ)			
	К1800ВА4	К1800РП6	К1800ВА7	К1800ВР8
Функциональный контроль:				
ЧТН	29	268	37	51
ЧИ	100	2300	185	369
Статические параметры:				
ЧТН	79	187	29	99
ЧИ	87	175	89	161
Динамические параметры:				
ЧТН	12	12	10	24
ЧИ	12	12	10	24

Тесты функционального контроля БИС построены по модульному принципу в соответствии с выполняемыми функциями. БИС разбивается на отдельные схемы и составляются контролирующие тесты для ее отдельных частей. Выбор значений на информационных входах осуществляется на основе активных путей, выбираемых от входов до выходов.

Измерение электрических динамических параметров БИС МПК К1800 проводится на измерительной системе «Электрон-Д2М» и др. с лучшими техническими характеристиками. Требуется 4-канальный генератор синхронизирующих импульсов с параметрами: частота следования  $f$  не менее 18 МГц; длительность импульсов  $\tau$  не менее 5 нс (на уровне 50 % от амплитуды импульса); время нарастания  $t_{\text{НЛ}}$  и спада  $t_{\text{ЛН}}$  не более 10 нс (на уровнях 20 % и 80 % от амплитуды импульса).

Измерение параметров и функциональный контроль проводятся в соответствии с ГОСТ 18683—76 в режимах и условиях, указанных в ТУ на МПК К1800. В процессе измерения БИС необходимо соблюдать следующие правила:

подключение электрического режима на входы, выходы и измерения проводят только после включения общего вывода и напряжения питания в последовательности:  $U_{\text{SS}}$ ,  $U_{\text{SSO}}$ ,  $U_{\text{CC1}}$ ,  $U_{\text{CC2}}$  и  $U_{\text{CC3}}$ , а выключение — в обратной последовательности;

необходимо обеспечить последовательность подачи электрического режима и измерения параметров;

запрещается отключать напряжения питания ( $U_{\text{CC1}}$ ,  $U_{\text{CC2}}$ ,  $U_{\text{CC3}}$ ) и общий вывод ( $U_{\text{SS}}$ ,  $U_{\text{SSO}}$ ) при измерении и функциональном контроле электрических параметров;

при измерении динамических параметров все измеряемые выходы БИС на ЕСЛ должны подключаться к согласованному тракту измерителя с волновым сопротивлением 50 Ом, значения параметров измеряются на уровне 50 % амплитуды импульсов;

для поддержания требуемой стабильности температуры в непосредственной близости к корпусу используется обдув измеряемой микросхемы воздухом со скоростью 3 м/с.

Число тестовых наборов (ЧТН) и число измерений (ЧИ) для БИС МПК К1800 при измерении электрических статических и динамических параметров и функциональном контроле приведены в табл. 4.1.

## 4.2. Электрические параметры БИС

Перечень контролируемых электрических статических и динамических параметров, норм и режимов измерения БИС МПК К1800 приведен в табл. 4.2 и 4.3. Нормы параметров обеспечиваются при соблюдении требований к электрическому режиму согласно ТУ, изменении напряжений питания на  $\pm 5\%$  и температуры корпуса от  $-10$  до  $+75$  °С. При измерении выходных уровней напряжения ( $U_{OH}$ ,  $U_{OL}$ ,  $U_{OHL}$ ,  $U_{OLL}$ ) используется наихудшее сочетание параметров ( $U_{CC}$ ,  $I_{IH}$ ,  $I_{IL}$ ,  $I_{TL}$ ,  $t_{TH}$ ) для каждой температуры. Остальные электрические параметры ( $I_{CC}$ ,  $I_{IH}$ ,  $I_{IL}$ ,  $t_{PD}$ ) изменяются незначительно при изменении температуры и напряжений питания, поэтому они контролируются при температуре  $+25$  °С и номинальных напряжениях питания и гарантируются для полного диапазона изменения температуры окружающей среды.

Основные динамические параметры и цепи прохождения сигналов для БИС приведены в табл. 4.4. Полный объем контролируемых динамических параметров больше и приводится в ТУ на МПК БИС К1800. Время установки  $t_{SU}$  и удержания  $t_H$  сигналов приведено в табл. 4.5.

## 4.3. Эксплуатационные характеристики БИС

Микросхемы БИС МПК К1800 имеют наибольшую стабильность электрических параметров среди микросхем на ЕСЛ благодаря использованию качественного источника опорных напряжений (см. рис. 2.3), что облегчает применение этих БИС. Однако высокое быстродействие, значительная рассеиваемая мощность и чувствительность к помехам, возникающим в шинах подключения электрического режима и сигналов, требуют особого внимания разработчиков при выборе конструктивного исполнения аппаратуры. Успех реализации рассмотренных достоинств МПК К1800



Таблица 4.2

**Перечень электрических параметров, норм и режимов  
измерения БИС комплекта К1800 (кроме К1800ВА4)**

Параметр	Значение параметра	Режим измерения										Температура, °С		
		Напряжение питания, В					Напряжение на входах, В						Нагрузка	
		U <sub>CC1</sub>	U <sub>CC2</sub>	U <sub>SS</sub>	U <sub>SSO</sub>	U <sub>IH</sub>	U <sub>IL</sub>	U <sub>IH</sub>	U <sub>IL</sub>	U <sub>ITL</sub>				
Ток потребления от U <sub>CC1</sub> , I <sub>CC1</sub> , мА: К1800ВС1 К1800ВУ1 К1800ВБ2 К1800ВТ3 К1800РП6 К1800ВА7 К1800ВР8	≤ 240 ≤ 250 ≤ 141 ≤ 240 ≤ 415 ≤ 130 ≤ 348	-5,2	-2,0	0	0	-	-	-	-	-	-	-	-	+25
Ток потребления от U <sub>CC2</sub> , I <sub>CC2</sub> , мА: К1800ВС1 К1800ВУ1 К1800ВТ3	≤ 190 ≤ 300 230	-5,2	-2,0	0	0	-	-	-	-	-	-	-	-	+25
Входной ток высокого уровня I <sub>IH</sub> , мА	45...545	-5,2	-2,0	0	0	-0,81	-	-	-	-	-	-	-	+25
Входной ток низкого уровня I <sub>IL</sub> , мкА	≥ 0,5	-5,2	-2,0	0	0	-	-1,85	-	-	-	-	-	-	+25
Выходное напряжение высокого уровня U <sub>OH</sub> , В	-0,96...-0,81 -0,90...-0,72 -1,02...-0,86	-5,2	-2,0	0	0	-0,81	-1,85	-	-	-	-	-	50 Ом на -2 В	+25 +75 -10

Окончание табл. 4.2

Параметр	Значение параметра	Режим измерения										Наг. ружка	Температура
		Напряжение питания, В			Напряжение на входах, В								
		U <sub>CC1</sub>	U <sub>CC2</sub>	U <sub>SS</sub>	U <sub>SSO</sub>	U <sub>IN</sub>	U <sub>IG</sub>	U <sub>TH</sub>	U <sub>TL</sub>	U <sub>ITL</sub>			
Выходное напряжение низкого уровня (только выходы) U <sub>OL</sub> , В	-1,85...-1,65 -1,83...-1,62 -1,88...-1,67	-5,2 -5,46 -4,94	-2,0 -2,1 -1,9	0 0 0	0	-0,81 -0,72 -0,86	-1,85 -1,83 -1,88	-	-	-	50 Ом на -2 В	+25 +75 -10	
Выходное напряжение низкого уровня (входы - выходы) U <sub>OL</sub> , В	-1,90...-1,65 -1,88...-1,62 -1,93...-4,67	-5,2 -5,46 -4,94	-2,0 -2,1 -1,9	0 0 0	0	-0,81 -0,72 -0,86	-1,85 -1,83 -1,88	-	-	-	50 Ом на -2 В	+25 +75 -10	
Выходное пороговое напряжение высоко-го уровня U <sub>OH</sub> , В	≥ -0,98 ≥ -0,92 ≥ -1,04	-5,2	-2,0	0	0	-0,81 -0,72 -0,86	-1,85 -1,83 -1,88	-1,105 -1,045 -1,165	-1,105 -1,045 -1,165	-1,475 -1,450 -1,495	50 Ом на -2 В	+25 +75 -10	
Выходное пороговое напряжение низкого уровня U <sub>OL</sub> , В	≥ -1,63 ≥ -1,60 ≥ -1,65	-5,2	-2,0	0	0	-0,81 -0,72 -0,86	-1,85 -1,83 -1,88	-1,105 -1,045 -1,165	-1,105 -1,045 -1,165	-1,475 -1,450 -1,495	50 Ом на -2 В	+25 +75 -10	
Время задержки распространения сигнала t <sub>рД</sub> , нс	6...46	-3,2	0	+2,0	+2,0	+1,11	+0,31	-	-	-	50 Ом на общий вывод	+25	

Примечание. Конкретные нормы параметров I<sub>ИН</sub>, t<sub>рО</sub> и режимы подключения каждой БИС приведены в ТУ.

Перечень электрических параметров, норм и режимов измерения БИС К1800ВА4 ( $U_{SS}=0$ )

Параметр	Значение параметра	Режим измерения											Температура $T_{\text{емпература}}$			
		Напряжение питания, В		Напряжение на входах, В								Нагрузка				
		$U_{CC1}$	$U_{CC3}$	$U_{IN}$	$U_{IL}$	$U_{ITH}$	$U_{ITL}$	$U_{INA}$	$U_{ILA}$							
Ток потребления от $U_{CC1}$ , $I_{CC1}$ , мА	$\leq 130$	-5,2	+5,0	-	-	-	-	-	-	-	-	-	-	-	+25	
Ток потребления от $U_{CC3}$ , $I_{CC3}$ , мА	$\leq 130$	-5,2	+5,0	-0,81	-1,85	-	-	-	-	-	-	-	-	-	-	+25
Входной ток низкого уровня $I_{IL}$ , мкА	$\geq 0,5$	-5,2	+5,0	-	-1,85	-	-	-	-	-	-	-	-	-	-	+25
Входной ток высокого уровня $I_{IH}$ , мкА	45...485	-5,2	+5,0	-0,81	-	-	-	-	-	-	-	-	-	-	-	+25
Выходные напряжения высокого уровня (ECL) $U_{OH}$ , В	$-0,96...-0,81$	-5,2	+5,0	-0,81	-1,85	-	-	-	-	-	-	-	-	-	50 Ом на	+25
	$-0,90...-0,72$	-5,46	+5,25	-0,72	-1,83	-	-	-	-	-	-	-	+0,8	-2 В	+75	+25
	$-1,02...-0,86$	-4,94	+4,75	-0,86	-1,88	-	-	-	-	-	-	-	-	-	-10	-10
Выходные напряжения низкого уровня (ECL) $U_{OL}$ , В	$-1,90...-1,65$	-5,2	+5,0	-0,81	-1,85	-	-	-	-	-	-	-	-	50 Ом на	+25	+25
	$-1,88...-1,62$	-5,46	+5,25	-0,72	-1,83	-	-	-	-	-	-	+2,0	-	-2 В	+75	+75
	$-1,93...-1,67$	-4,94	+4,75	-0,86	-1,88	-	-	-	-	-	-	-	-	-	-10	-10
Выходное пороговое напряжение высокого уровня (ECL) $U_{OH}$ , В	$\geq -0,98$	-5,2	+5,0	-0,81	-1,85	-	-	-	-	-	-	-	-	50 Ом на	+25	+25
	$\geq -0,92$	-5,46	+5,25	-0,72	-1,83	-	-	-	-	-	-	-	-	-2 В	+75	+75
	$\geq -1,02$	-4,94	+4,75	-0,86	-1,88	-	-	-	-	-	-	-	-	-	-10	-10

Продолжение табл. 4.3

Параметр	Значение параметра	Режим измерения										Температура, °C
		Напряжение питания, В		Напряжение на входах, В						Нагрузка		
		U <sub>CC1</sub>	U <sub>CC3</sub>	U <sub>IH</sub>	U <sub>IL</sub>	U <sub>IТН</sub>	U <sub>IТЛ</sub>	U <sub>ИНА</sub>	U <sub>ИЛА</sub>			
Выходное пороговое напряжение низкого уровня (ECL) U <sub>отл</sub> , В	$\leq -1,63$ $\leq -1,60$ $\leq -1,65$	-5,2	+5,0	-0,81 -0,72 -0,86	-1,85 -1,83 -1,88	-1,105 -1,045 -1,165	-	-	-	+0,8	50 Ом на -2,0 В	+25 +75 -10
Выходное напряжение высокого уровня (TTL) U <sub>он</sub> , В	$\geq +2,5$	-5,2 -5,46 -4,94	+5,0 +5,25 +4,75	-0,81 -0,72 -0,86	-1,85 -1,83 -1,88	-	-	-	-	-	I <sub>0</sub> = = -25 мА	+25 +75 -10
Выходное напряжение низкого уровня (TTL) U <sub>ол</sub> , В	$\leq +0,5$  +0,6	-5,2 -5,46 -4,94	+5,0 +5,25 +4,75	-0,81 -0,72 -0,86	-1,85 -1,83 -1,88	-	-	-	-	-	I <sub>0</sub> = = 25 мА	+25 +75 -10
Выходное пороговое напряжение высокого уровня (TTL) U <sub>отл</sub>	+2,5	-5,2	+5,0	-0,81 -0,72 -0,86	-1,85 -1,83 -1,88	-	-1,475 -1,450 -1,495	-	-	-	I <sub>0</sub> = = 24 мА	+25 +75 -10

Параметр	Значение параметра	Режим измерения											Нагрузка	Температура $t_{\text{температура}}$
		Напряжение питания, В		Напряжение на входах, В								Нагрузка		
		$U_{CC1}$	$U_{CC3}$	$U_{IH}$	$U_{IL}$	$U_{ITH}$	$U_{ITL}$	$U_{INA}$	$U_{ILA}$					
Выходное пороговое напряжение низкого уровня (TTL) $U_{огл}, В$	не менее 0,5	-5,2	+5,0	-0,81	-1,85	-1,105	-	-	-	-	-	-	$I_0 = 25 \text{ мА}$	+25
		-	-	-0,86	-1,88	-1,045	-	-	-	-	-	-	-	+75
		-5,2	+5,0	-0,81	-1,85	-1,105	-	-	-	-	-	-	$I_0 = 50 \text{ мА}$	-10
Выходной ток короткого замыкания (TTL) $I_{ос}, \text{мА}$	не более 170	-5,2	+5,0	-0,81	-1,85	-	-	-	-	-	-	0	-	+25
		-5,2	+5,0	-0,8	-1	-	-	-	-	-	-	-	-	+25
		-3,2	+7,0	+1,11	+0,31	-	-	-	-	-	-	-	50 Ом на -2 В	+25

Примечание. Конкретные нормы параметров  $I_{IH}$ ,  $I_{PD}$  и режимы подключения БИС К1800ВА1 приведены в ТУ

Таблица 4.4

## Основные динамические параметры БИС МПК К1800

Тип БИС	Параметр (время задержки распространения)	Цепь прохождения сигнала	Норма, нс
К1800ВС1	Сложение	CRI—ALU—сдвигатель—IB	20,0
	Вычитание	DI, OB—ALU—сдвигатель—IB	41,0
	Сдвиг	CO7—сдвигатель—IB	16,0
К1800ВУ1	Вывод информации	ACC—IB	11,0
	Вывод информации	ACC—OB	12,0
	Выборка регистров	SYN—RG0, RG3	16,0
	Выдача следующего адреса	CO7, CO8—IB, OB	24,0
К1800ВБ2	Формирование команды	IC0...IC3—OB	24,0
	Формирование фазы	SYN—CP1...CP4	10,0
К1800ВТ3	Сброс	$\overline{SR}$ —LPO	8,0
	Максимальная частота синхросигнала	SYN	36 МГц
	Выборка адреса из блока регистров и выполнение операции в ALU	CO12, CO13—RGF—ALU—IB	39,0
	Передача информации и выполнение операции в ALU	OB—ALU—IB	25,0
К1800ВА4	Передача информации без обработки	OB—DB	14,0
	Прямая передача информации	TTL—ECL	10,0
	Передача информации через триггер	ECL—TTL	8,0
К1800РП6	Выбор адреса и передача данных	TTL—ECL	10,0
	Выдача данных	ECL—TTL	20,0
	Запись в память	AA, BA—AD, BD	25,0
К1800ВА7	Выдача данных	$\overline{EAD}$ , $\overline{EBD}$ —AD, BD	10,0
	Запись в память	EWA, EWB—CO.	13,0
	Прямая передача информации	$\overline{EG}$ —ER	
К1800ВР8	Передача информации через триггер	AB—BB, BB—AB	6,0
	Выполнение сдвига	AB—BB, BB—AB	8,0
К1800ВР8	Выбор вида или величины сдвига	DI15...DI00—DO15...DO00	8,0
		COF0...COF3, COT0...COT2	16,0
		DO15...DO00	

Таблица 4.5

**Параметры времени установки и удержания сигналов  
в БИС МПК К1800**

Тип БИС	Наименование входа, операции или цепи прохождения сигнала	$t_{SU}$ , нс	$t_H$ , нс
К1800BC1	Управление режимом ADD, SUB (CO10)	35	-15
	Управление шиной IB и ACC (CO9, CO15)	8	7
	Передача данных в сумматор (CO0, CO1)	32	-15
	Передача данных из шин OB, IB в ACC	7	5
	Управление передачей данных (CO5, CO6) ALU — сдвигатель — ACC	20	-5
	Управление выбором команд (IC0...IC3)	44	-8
К1800BU1	Шины IB, OB	25	1
	Управление регистром состояния (CO0...CO3)	35	-2
	Управление числом фаз (CO4, CO5)	8	-6
К1800BБ2	Асинхронный пуск ST	-5	6
	Шины DB, IB, OB (прямо)	9	-6
К1800BT3	Шины IB, OB через ALU	38	-7
	Управление передачей (CO0...CO3)	16	3
	Управление режимом (CO6...CO8) через ALU	20	0
	Шина ECL	2	4
К1800BA4	Шина TTL	3	3
	Выбор направления передачи	5	2
	Шина адресов AA, BA	12	0
К1800PP6	Шина данных AD, BD	14	0
	Шина данных AB, BB	2	4
К1800BA7	Выбор направления передачи	5	2

возможен только в том случае, если разработчик аппаратуры будет хорошо знать не только логическую структуру и функции БИС МПК, но и эксплуатационные параметры и режимы работы БИС.

Предельные значения допустимых параметров БИС МПК К1800 приведены в табл. 4.6. В случае применения БИС в предельных режимах необходимо учесть, что значения параметров, приведенные в табл. 4.2 ... 4.4 и в ТУ на эти БИС, не гарантируются. Разумеется, что всегда надо стремиться избегать предельных режимов. Рекомендуемые значения допустимых параметров эксплуатации БИС приведены в табл. 4.7, при этом уровни входных сигналов должны соответствовать значениям, приведенным в табл. 4.2, 4.3. Особое внимание при эксплуатации следует уделить тепловому режиму, так как температура кристалла при эксплуатации в значительной степени определяет надежность микросхемы. Согласно соотношениям теории надежности (уравнение Арренуса), повышение температуры кристалла на каждые 10 °С снижает надежность микросхемы при-

Таблица 4.6

**Предельные значения допустимых электрических параметров БИС**

Параметр	Значение
Напряжение источников питания (при $U_{SS}=0$ ), В:	
$U_{CC1}$	-6...0
$U_{CC2}$	-3...0
$U_{CC3}$	0...6
Напряжение на входах $U_I$ (при $U_{SS}=0$ ), В:	
ECL	-3...0
TTL	-0,5...5
Выходной ток $I_0$ , мА:	
ECL	50
TTL	50
Температура кристалла $T_J$ , °C	150

Таблица 4.7

**Значения допустимых электрических параметров при эксплуатации БИС**

Параметр	Значение
Напряжение источников питания (при $U_{SS}=0$ ), В:	
$U_{CC1}$	-5,46...-4,94
$U_{CC2}$	-2,1...-1,9
$U_{CC3}$	+4,75...+5,29
Нагрузка на выходе ( $I_0$ ):	
ECL	50 Ом на -2 В
TTL (при $U_{OL}=0,5$ В), мА	24
Время перехода на входах $t_{THL}$ , $t_{TLH}$ , нс	2...10
Длительность входных сигналов $\tau_I$ , нс	5
Температура окружающей среды $T_A$ , °C	-10...+75

мерно два раза. Основным фактором, определяющим температуру кристалла при заданной температуре окружающей среды, является тепловое сопротивление  $R_{TJA} = R_{TJC} + R_{TCA}$ , где  $R_{TJA}$  — тепловое сопротивление кристалл—окружающая среда;  $R_{TJC}$  — тепловое сопротивление кристалл—корпус;  $R_{TCA}$  — тепловое сопротивление корпус—окружающая среда. Тепловое сопротивление зависит от площади кристалла и способа посадки его в корпус. Кристаллы БИС комплекта К1800 монтируются в корпусе типа 2207.48-1 и 2120-24 путем посадки на эвтектику, а корпус



2103.16-3 — с помощью клея. Сопротивление  $R_{TJC}$  БИС в этих корпусах 2207.48-1, 2120-24 и 2103.16-3 составляет 5,7 и 30 °C/Вт соответственно. Тепловое сопротивление  $R_{TCA}$ , как и общее сопротивление  $R_{TJA}$ , зависит от материала корпуса и его площади. Таким образом, температура кристалла конкретной БИС зависит от типа корпуса, его сопротивления  $R_{TJA}$  и потребляемой мощности, что может быть выражено соотношением:  $T_J = T_A + R_{TJA} P_C$ , где  $T_J$  — температура кристалла, °C;  $T_A$  — температура окружающей среды, °C;  $P_C$  — мощность, по-

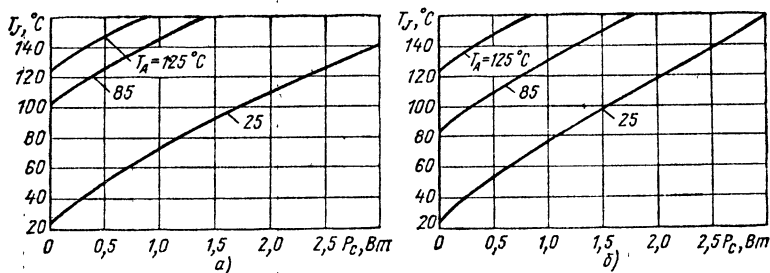


Рис. 4.1. Графики зависимостей температуры кристалла  $T_J$  от потребляемой мощности  $P_C$  БИС для корпусов типа 2207.48-1 (а) и 2120.24-1 (б)

требляемая БИС, Вт. Зависимости температуры кристалла от потребляемой мощности при  $T_A = 25, 85$  и  $125$  °C для корпусов 2207.48-1 и 2120.24-1 приведены на рис. 4.1. Поскольку некоторые БИС в корпусе 2207.48-1 потребляют мощность до 2 Вт, температура кристалла может превышать допустимую (150 °C) и уменьшить  $R_{TJA}$  можно, только уменьшая  $R_{TCA}$ . Наиболее эффективным и приемлемым (с точки зрения технической реализации) способом уменьшения  $R_{TCA}$  является обдув корпуса воздухом. Графики зависимостей тепловых сопротивлений  $R_{TJC}$ ,  $R_{TJA}$  и  $R_{TCA}$  от скорости  $V$  обдува воздухом для БИС в корпусах типа 2207.48-1 и 2120.24-1 приведены на рис. 4.2. Наиболее подходящей для БИС комплекта серии К1800 является скорость обдува 3 м/с. Тепловое сопротивление  $R_{TJA}$  при этом для корпусов типа 2207.48-1, 2120.24-1 и 2103.16-3 составляет 25, 32 и 50 °C/Вт соответственно (без обдува 50, 55 и 80 °C/Вт соответственно).

Соблюдение рассмотренного теплового режима при эксплуатации БИС в значительной степени определяет и стабильность электрических параметров. Наибольший интерес представляет изменение передаточной характеристики напряжения и связанное с этим изменение входных и выходных уровней напряжения при изменении напряжения питания и температуры окружающей среды. Типовые зависимости напряжения высокого уровня  $U_{OH}$  от тока на-

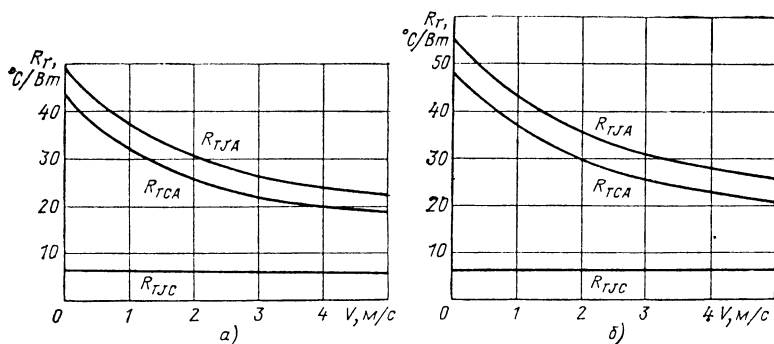


Рис. 4.2. Графики зависимостей тепловых сопротивлений  $R_{TJC}$ ,  $R_{TJA}$  и  $R_{TCA}$  от скорости обдува воздухом для корпусов типа 2207.48-1 (а) и 2120.24-1 (б)

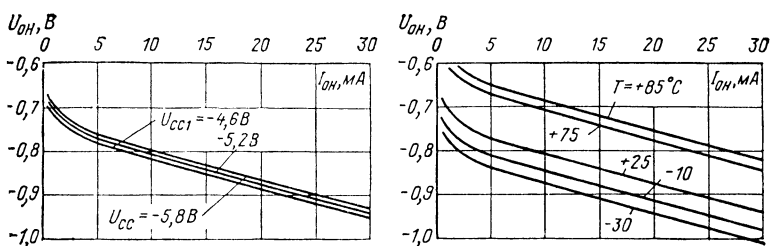


Рис. 4.3. Типовые зависимости  $U_{OH} = f(I_{OH})$

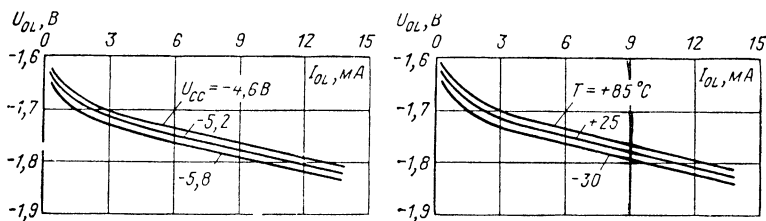


Рис. 4.4. Типовые зависимости  $U_{OL} = f(I_{OL})$

грузки  $I_{OH}$ , напряжения питания  $U_{CC1}$  и температуры окружающей среды  $T$  для ECL-схем приведены на рис. 4.3. Аналогичные типовые зависимости напряжения низкого уровня  $U_{OL}$  от тех же воздействующих факторов приведены на рис. 4.4. Для практической оценки зависимости электрических параметров БИС от изменения температуры окружающей среды (при постоянных напряжениях питания)

целесообразно воспользоваться температурными коэффициентами, установленными экспериментально:

$$dU_{OH}/dT = (1, 2 \dots 1,8) \text{ мВ/}^\circ\text{C}; \quad dU_{OL}/dT = (0,1 \dots \\ \dots 0,2) \text{ мВ/}^\circ\text{C};$$

$$dI_{CC1}/dT = -(0,2 \dots 0,3) \text{ мА/}^\circ\text{C};$$

$$dI_{CC2}/dT = -(0,3 \dots 0,4) \text{ мА/}^\circ\text{C}.$$

Зависимость электрических параметров от изменения питающих напряжений  $U_{CC1}$ ,  $U_{CC2}$  (при постоянной температуре корпуса) может быть определена с помощью экспериментальных коэффициентов:

$$dU_{OH}/dU_{CC1} = -(0,3 \dots 0,5) \text{ мВ/\%};$$

$$dU_{OL}/dU_{CC1} = (0,6 \dots 0,8) \text{ мВ/\%};$$

$$dI_{CC1}/dU_{CC1} = (16 \dots 33) \text{ мА/В};$$

$$dI_{CC2}/dU_{CC2} = (80 \dots 100) \text{ мА/В}.$$

Зависимость электрических параметров от изменения  $U_{CC2}$  значительно сильнее, так как ЛЭ, подключенные к этому напряжению, не имеют схем стабилизации тока переключения и выходных уровней. При расчетах и конструировании аппаратуры необходимо руководствоваться следующим:

шины питания и общие шины должны иметь минимальное сопротивление, так как падающее на них напряжение уменьшает помехоустойчивость микросхем;

тепловой режим БИС выбирается таким, чтобы температура корпуса не превышала  $+75^\circ\text{C}$ ;

должны быть приняты меры по устранению влияния электростатического заряда;

сигналы между микросхемами должны передаваться по согласованным линиям наименьшей длины.

## 5. Применение БИС МПК К1800

---

### 5.1. Расширение разрядности БИС

Микросхемы секционированного МПК К1800 позволяют расширять их разрядность кратно разрядности одной БИС. Основные пять микросхем МПК (К1800ВС1, К1800УВ1, К1800ВБ2, К1800ВТ3 и К1800ВА4) содержат 4-разрядные шины, микросхема К1800ВА7 — 5-разрядные, К1800РП6 —

Таблица 5.1

**Микросхемы серии К500, обеспечивающие совместную  
работу с БИС МПК серии К1800**

Тип БИС	Выполняемая функция
К500ЛМ101	Четыре логических элемента 2ИЛИ — НЕ/2ИЛИ
К500ЛМ102	Три логических элемента 2ИЛИ—НЕ и логический элемент 2ИЛИ — НЕ/2ИЛИ
К500ЛМ105	Два логических элемента 2ИЛИ — НЕ/2ИЛИ и логический элемент 2ИЛИ — НЕ/3ИЛИ
К500ЛЕ106	Два логических элемента 2ИЛИ — НЕ/2ИЛИ и логический элемент 3ИЛИ — НЕ/3ИЛИ
К500ЛП107	Три логических элемента Иключающее 2ИЛИ — НЕ/2ИЛИ
К500ЛМ109	Два логических элемента 5ИЛИ—НЕ/5ИЛИ, 4ИЛИ — НЕ/4ИЛИ
К500ЛЛ110	Два логических элемента 3ИЛИ с мощным выходом
К500ЛЕ111	Два логических элемента 3ИЛИ — НЕ с мощным выходом
К500ЛП114	Три приемника с линии
К500ЛП115	Четыре приемника с линии
К500ЛП116	Три приемника с линии
К500ЛК117	Два логических элемента 2 — 3ИЛИ — 2И — НЕ/2 — 3ИЛИ — 2И
К500ЛС118	Два логических элемента 3 — 3ИЛИ — 2И
К500ЛС119	Логический элемент 3—3—3—4ИЛИ—4И
К500ЛК121	Логический элемент 3—3—3 — 3ИЛИ — 4И — НЕ/3—3—3—3ИЛИ—4И
К500ЛЕ123	Два логических элемента 3ИЛИ—НЕ и логический элемент 4ИЛИ — НЕ с мощным выходом (магистральные усилители)
К500ПУ124	Четыре преобразователя уровней TTL—ECL
К500ПУ125	Четыре преобразователя уровней ECL — TTL
К500ЛП128	Возбудитель линии (двухразрядный)
К500ЛП129	Приемник с линии (четырёхразрядный)
К500ТМ130	Два триггера типа защелка
К500ТМ131	Два D-триггера
К500ТМ133	Четыре триггера типа защелка
К500ТМ134	Два D-триггера с мультиплексором
К500ТМ135	Два JK-триггера
К500ИЕ137	Универсальный 4-разрядный десятичный счетчик
К500ИЕ136	Универсальный 4-разрядный двоичный счетчик
К500ИР141	Универсальный 4-разрядный регистр сдвига
К500РУ145	ОЗУ на 64 бита (64×1 разряд) со схемами управления
К500РУ148	ОЗУ на 64 бита с произвольной выборкой (64 слова × 1 разряд)
К500РЕ149	Программируемое постоянное ЗУ на 1024 бит

Тип БИС	Выполняемая функция
К500ИЕ160 К500ИД161	12-входовая схема контроля четности Трехразрядный дешифратор напряжения низкого уровня
К500ИД162	Трехразрядный дешифратор напряжения высокого уровня
К500ИД164	Восьмиканальный мультиплексор
К500ИБ165	Кодирующий элемент с приоритетом
К500ТМ173	Четыре триггера типа защелка с мультиплексором
К500КП174	Сдвоенный 4-входовый мультиплексор
К500ИП179	Схема ускоренного переноса
К500ИМ180	Сдвоенный высокоскоростной сумматор-вычитатель
К500ИП181	Арифметическое логическое устройство на 16 операций с двумя 4-битовыми словами
К500НР140	Матрица резисторов
К500РУ401	ОЗУ на 16 бит со схемами управления
К500РУ402	Ассоциативная память со считыванием (2 слова $\times$ 2 разряда)
К500РУ410	ОЗУ на 256 бита (256 слов $\times$ 1 разряд) со схемами управления
К500РУ415	ОЗУ на 1024 бита (1024 слова $\times$ 1 разряд) со схемами управления
К500РУ470	ОЗУ на 4096 слова

9-разрядные и К1800ВР8 — 16-разрядные. Очевидно, что в реальной аппаратуре требуется расширение разрядности всех перечисленных микросхем. Рассмотрим более подробно возможности увеличения разрядности устройств, реализованных на микросхемах МПК К1800, и приведем примеры их применения в микропрограммируемых устройствах. Расширение разрядности и эффективное использование микросхем МПК К1800 возможно только с применением дополнительных логических схем, например микросхем средней степени интеграции серии К500 (табл. 5.1). Имеющаяся номенклатура логических схем: (триггеров, комбинационных схем и схем памяти — всего 47 типонаименований) ИС серии К500 позволяет реализовать логические блоки устройств любой сложности.

На рис. 5.1 приведена структурная схема 16-разрядного ALU, реализованного на микросхемах К1800ВС1 и К500ИП179. В схеме информационные шины IB, OB и DI соединяются параллельно. Сигналы переноса CRI, CRP, CRG обрабатываются схемой ускоренного переноса (К500ИП179). Сигнал синхронизации SYN1 по-

ступает на все микросхемы параллельно, линия проверки на ноль (ZD) — общая.

Объединение двух БИС К1800ВУ1 в 16-разрядном устройстве микропрограммного управления показано на рис. 5.2. Шины IC0 ... IC3 соединены параллельно и обе БИС выполняют одинаковую команду. Параллельно подключены входы синхронизации SYN1 и установки в исходное состояние SR. Управляющие входы CO0 ... CO3 работают независимо в каждой микросхеме и управляют регистрами RG3 отдельно. Регистр RG3 в микросхеме В является регистром адреса страницы управляющей микропрограммной па-

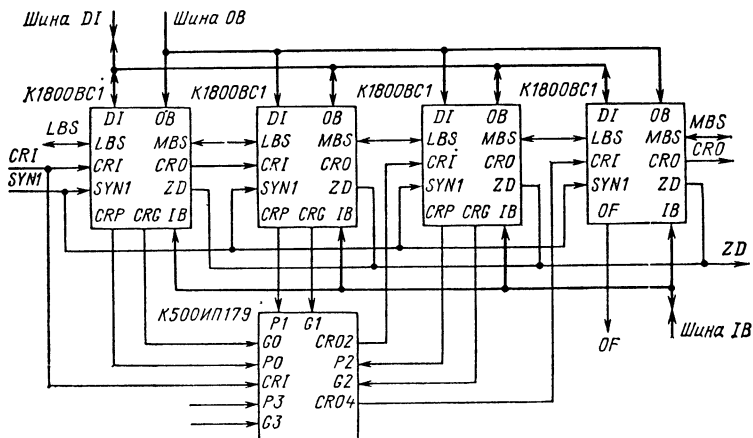


Рис. 5.1. Структурная схема 16-разрядного ALU, реализованного на микросхемах К1800ВУ1 и К500ИП179

мяти, а в микросхеме А — регистром разрядов состояния. Сигнал на входе CRI микросхемы А выполняет приращение на 1, а выход CRO микросхемы выдает сигнал на вход CRI микросхемы В. Вывод EX является общим и предназначен для выполнения функции условного перехода. Информация условного перехода проверяется на входе BR микросхемы А, и при CO4 = 1 запрещается вход условного перехода микросхемы В. Сигнал на входе CO5 запрещает выдачу адреса слова (выход RC0). В регистр RG3 данные могут вводиться по входу DI. Две микросхемы К1800ВУ1 обеспечивают приращение, прямой и условный переходы и подпрограмму для 256 слов управляющей памяти. При адресации более 256 слов память должна быть организована в формат слово—страница.

При многофазовой системе синхронизации выработку синхросигналов в процессоре обеспечивают объединением нескольких БИС К1800ВВ2. На рис. 5.3 показан пример соединения двух микросхем, которые могут вырабатывать до восьми синхросигналов. При объединении нескольких БИС К1800ВВ2 одна (А) является основной, а все остальные подчиненными (В). Если работает одна микросхема, она является основной. На входе CO6 основной микросхемы должно быть постоянно подано напряжение низкого уровня — лог. 1, а на подчиненные CO6 — лог. 0. Сигналы управления режи-

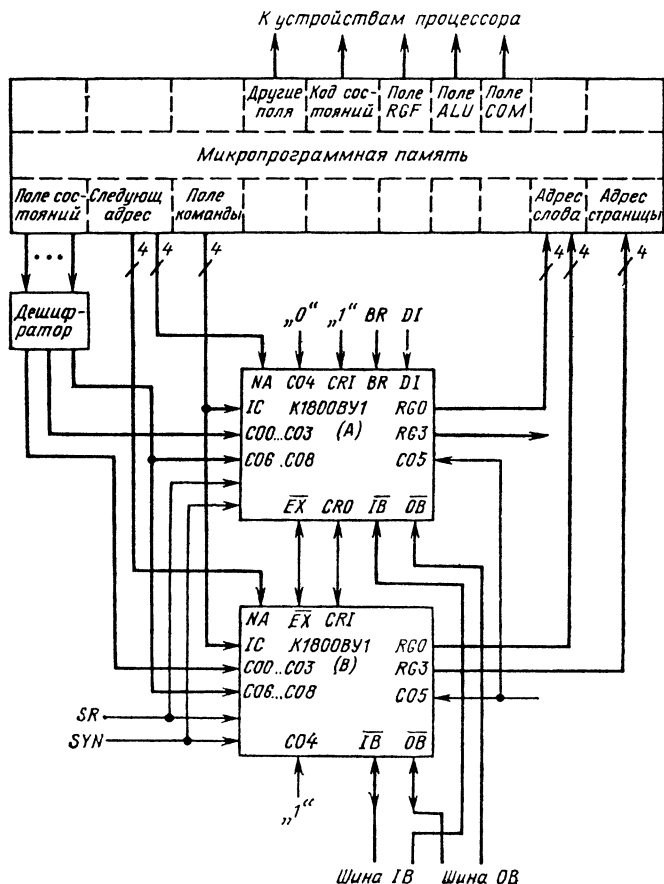


Рис. 5.2. Пример включения двух БИС К1800ВУ1 в 16-разрядном устройстве микропрограммного управления

мом работы соединяются параллельно. Вход LPI основной БИС соединяется с выходом LPO последней подчиненной. Если работает одна микросхема, выводы LPI и LPO соединяются.

Расширение разрядности микросхемы управления памятью К1800ВТЗ до 16 показано на рис. 5.4. В схеме соединены четыре БИС К1800ВТЗ, одна микросхема ускоренного переноса К500ИП179 и две логические схемы (серии К500) для передачи сигналов сдвига при выполнении операции сдвига вправо. Если достаточно иметь 8 или 12 разрядов, вместо четырех используются две или три БИС К1800ВТЗ и дополнительные микросхемы (кроме микро-

схемы ускоренного переноса) не нужны. При соединении микросхем К1800ВТ3 ускоренный перенос выполняется при условии, что на управляющем входе СО8 во всех микросхемах К1800ВТ3 имеется лог. 0, кроме БИС содержащей самый старший разряд. При этом в старшем разряде вырабатывается признак переполнения.

Расширение разрядности БИС К1800ВА4 и К1800ВА7 предусматривает объединение управляющих входов ВУР, DE, SED и SYN и параллельное соединение информационных шин. Аналогично можно увеличить число 9-разрядных

слов при организации блока регистров с применением двух БИС К1800РП6 и логических схем серии К500. Пример соединения данных микросхем в блоке регистров 16-разрядного устройства показан на рис. 5.5. В приведенной схеме двунаправленные шины данных ИВ и ОВ соединены с дву-

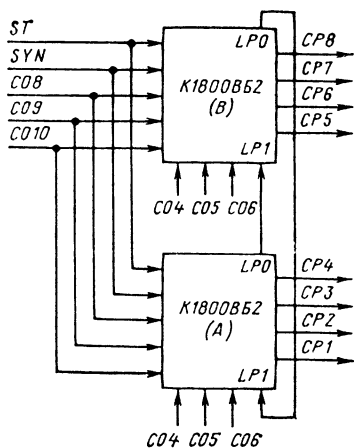


Рис. 5.3. Пример включения двух БИС К1800ВБ2 в устройстве синхронизации

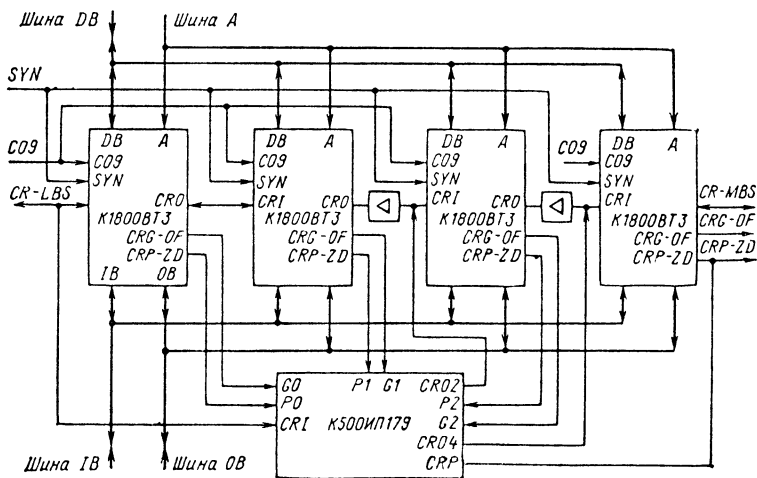


Рис. 5.4. Структурная схема 16-разрядного устройства управления памятью, реализованного на микросхемах К1800ВТ3 и К500ИП179



направленными 16-разрядными входной и выходной шиной устройства. Адреса AA1 ... AA5 и BA1 ... BA5 и управляющие входы  $\overline{EAD}$ ,  $\overline{EBD}$ ,  $\overline{SYNA}$ ,  $\overline{SYNB}$ ,  $\overline{EWA}$ ,  $\overline{EWB}$  соединены с управляющей памятью через регистр микропрограмм и логические схемы серии К500. Рассматриваемый блок регистров на БИС К1800РП6 служит для записи, хранения и считывания информации, обрабатываемой в ALU (К1800ВС1 или К1800ВТ3). Блок регистров позволяет считывать слова для проведения операций в ALU и записывать результат в тот же такт. Синхронизация работы блока ре-

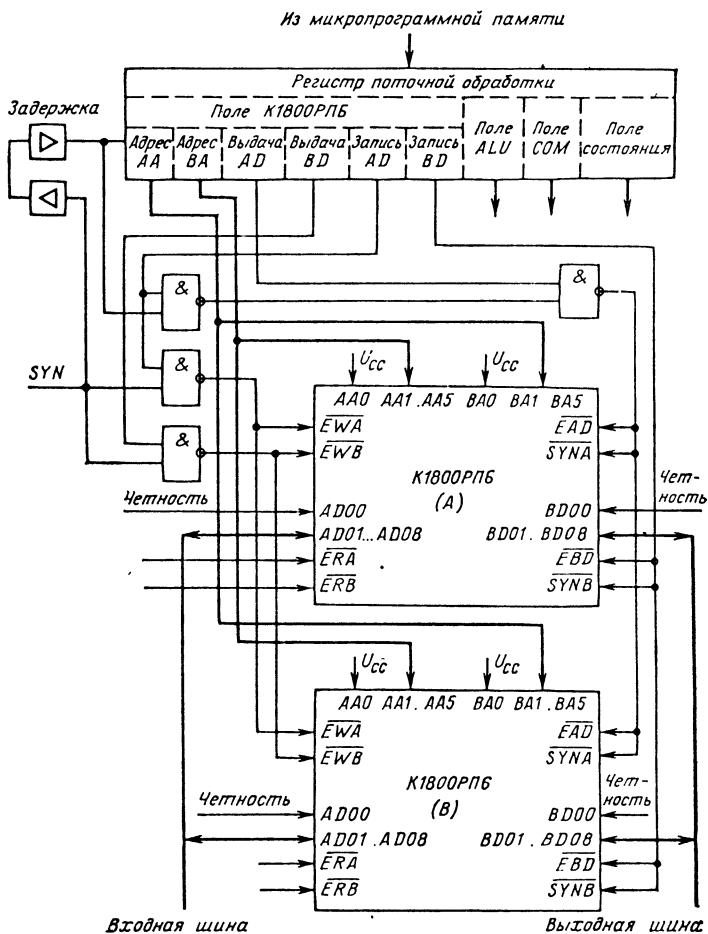


Рис. 5.5 Пример включения двух БИС К1800РП6 в блоке регистров  
160

гистров производится синхросигналами SYN длительностью не менее 5 нс, с помощью которых формируются синхросигналы  $\overline{\text{SYNA}}$  и  $\overline{\text{SYNB}}$  и синхросигналы для других устройств процессора (ALU, MCU, COM и т. д.).

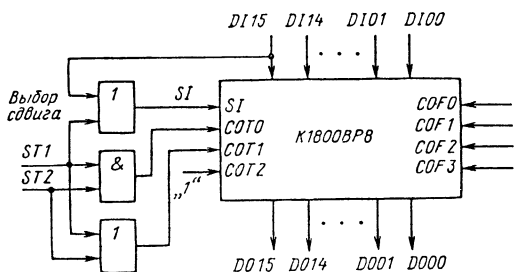


Рис. 5.6. Пример включения микросхемы К1800BP8 в 16-разрядном программируемом сдвигателе данных

Для выполнения операции в устройстве, приведенном на рис. 5.5, регистр микрокоманд синхронизируется положительным фронтом задержанного синхросигнала SYN. После определенной задержки в регистре микрокоманд выбираются две адресные ячейки (AA и BA) и информация

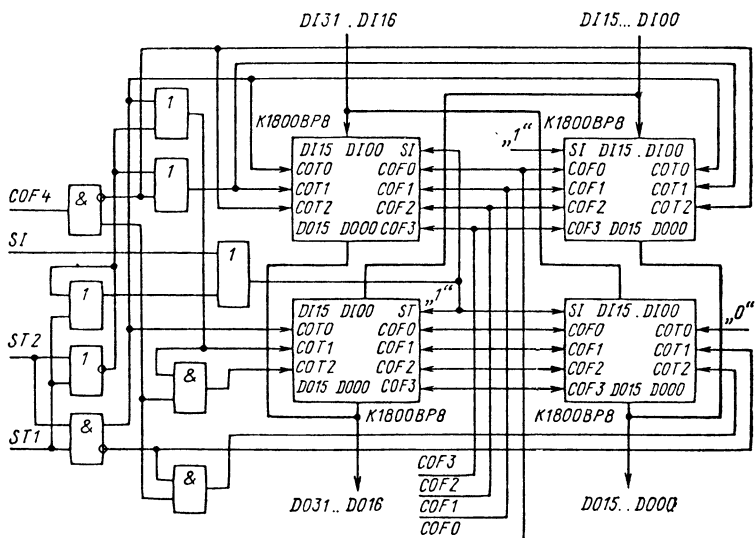


Рис. 5.7. Структурная схема 32-разрядного программируемого сдвигателя, реализованного на БИС К1800BP8 и ИС серии К500

через блок регистров может записываться на шины ИВ и ОВ для дальнейшей обработки. По отрицательному фронту синхросигнала на входе блока регистров информация шины ОВ фиксируется в АЛУ. Результат операции поступает на шину ИВ и при положительном фронте синхросигнала запоминается в блоке регистров, затем разрешается следующая операция на выходе регистра микрокоманд.

Микросхема многоразрядного программируемого сдвигателя К1800ВР8 позволяет реализовать различные по структуре и быстродействию устройства сдвига информации. На рис. 5.6 приведена структурная схема 16-разрядного сдвигателя. Для выполнения операций сдвига необходимо дополнительно к микросхеме К1800ВР8 добавить три 2-входовых логических элемента (два ИЛИ и один И) для управления видом сдвига и знаком.

Структурная схема 32-разрядного сдвигателя показана на рис. 5.7. Схема состоит из четырех микросхем К1800ВР8 и девяти дополнительных ЛЭ (ИС серии К500). Время выполнения сдвига в таком сдвигателе определяется временем задержки одной микросхемы К1800ВР8. Управление выбором сдвига осуществляется дешифрирующей схемой и схемой, формирующей управляющие сигналы. Функции, выполняемые сдвигателем, приведены в табл. 5.2.

Т а б л и ц а 5.2

Функции 32-разрядного сдвигателя

Управление		Выполняемая функция
ST1	ST2	
0	0	RRT — циклический сдвиг вправо
0	1	LRS — логический сдвиг вправо (освободившиеся разряды заполняются единицами)
1	1	ARS — арифметический сдвиг вправо (освободившиеся разряды заполняются знаком)
0	1	LLS — логический сдвиг влево (освободившиеся разряды заполняются единицами)

Для построения схем сдвигателей на число разрядов более 16 можно выбирать одно из двух возможных технических решений. Если операции сдвига необходимо выполнить за более короткое время, то число БИС К1800ВР8 и дополнительных логических схем (ИС серии К500) возрастает. Например, сравнение двух 64-разрядных сдвигателей, выполняющих операцию сдвига с временем задержки одной микросхемы К1800ВР8 и временем задержки двух микросхем, показывает, что в первом случае сдвигатель содержит 16 микросхем К1800ВР8 и 26 микросхем серии К500, а во втором необходимо иметь 10 микросхем К1800ВР8 и 3 микросхемы серии К500.

## 5.2. Примеры программирования

Эффективно использовать секционированные МП БИС с микропрограммным управлением можно только в том случае, когда разработчик устройства сам определяет размер слова, структуру шин и набор команд. Выполняемые операции и режимы работы МП БИС в устройстве определяются программами, заложенными в микропрограммной (управляющей) памяти. В заданные моменты времени информация из этой памяти поступает на управляющие входы

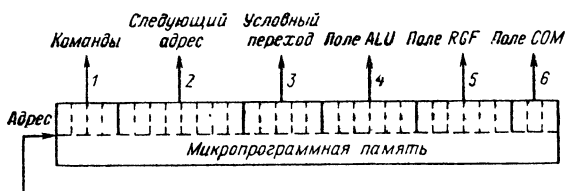


Рис. 5.8. Распределение полей микропрограммной памяти 32-разрядного процессора

каждой микросхемы и осуществляет выполнение операций. Микропрограммное управление имеет много преимуществ по сравнению с аппаратным управлением в части простоты обслуживания, исправления ошибок программирования и стоимости.

Микропрограммное управление использует взаимосвязанные микрокоманды для выполнения различных операций: инверсия, сдвиг, пересылка операндов, арифметическое сложение, конъюнкция, дизъюнкция и др. Для каждой команды можно составить микропрограмму из последовательности микрокоманд. В свою очередь, микрокоманда в микропрограммной памяти разделяется на поля, которые используются для управления работой различных микросхем одновременно, что значительно увеличивает быстродействие устройства.

Пример распределения полей микропрограммной памяти для управления БИС серии К1800 в 32-разрядном устройстве показан на рис. 5.8. На поле 1 поступает начальный адрес из устройства микропрограммного управления (К1800ВУ1) и выдаются обратно команды. Поле 2 выдает следующий адрес, а поля 3 ... 5 выдают коды на дешифратор условного перехода МСУ, дешифратор управления шинами АЛУ и дешифратор управления блоком АЛУ COM. Поле 5 служит для управления блоком регистров (RGF), реализованного на микросхемах К1800РП6.

Общий размер слова микрокоманды состоит из 32 бит, в том числе поле команд — 4 бит, поле следующего адре-

са — 8 бит, поле условного перехода — 5 бит для выполнения 31 операции условного перехода K1800BY1, адресации регистра RG3 и страниц, поле ALU — 6 бит, поле блока регистров — 6 бит и 3 бит для выполнения восьми операций ALU микросхемы K1800BT3. Распределение полей может быть и иным, в зависимости от структурной схемы процессора и системы команд.

Начальный адрес кода операции, подлежащей выполнению, записывается в регистр команд (регистр RG2 БИС

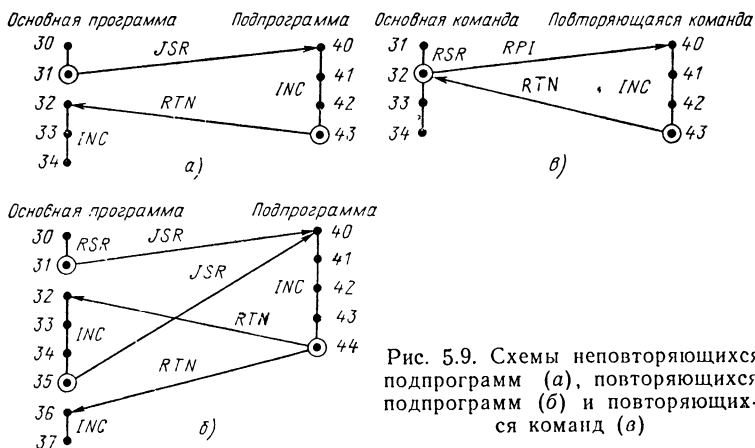


Рис. 5.9. Схемы неповторяющихся подпрограмм (а), повторяющихся подпрограмм (б) и повторяющихся команд (в)

K1800BY1) как начальный адрес микропрограммной памяти и передается в регистр RG0. Адреса следующих микрокоманд формируются в блоке формирования следующего адреса БИС K1800BY1. Для уменьшения объема микропрограммной памяти программы разбивают ее на подпрограммы. В этом случае одна и та же микрокоманда может быть использована для выполнения различных последовательностей команд.

Рассмотрим пример выполнения *неповторяющейся подпрограммы* (рис. 5.9, а). Для реализации данной подпрограммы используются три команды: JSR, INC и RTN. При адресе слова 30 адрес 31 заносится в RG0, к настоящему адресу (31) прибавляется 1 и он пересылается в RGS. Подпрограмма начинается с адреса 40 и заканчивается адресом 43, и выполняется команда RTN. Содержимое RGS (адрес 32) пересылается в RG0, и продолжается выполнение основной программы, начиная с адреса 32.

На рис. 5.9, б приведен пример *повторяющейся подпрограммы*, выполняемой по команде RSR, которая загружает

регистр RG1, числом повторений (FF), являющимся дополнением до 2 требуемого числа. Выход Q триггера RS блока управления шинами подключается к 1. Подпрограмма начинается с выполнения команды JSR. Адрес подпрограммы 40 передается в RG0, сумма настоящего адреса 31 и переноса передается в RG4. В конце каждого цикла подпрограммы по адресу 44 выполняется команда RTN или передача содержимого RG4 в RG0 (адрес 32). Если при этом RSQ = 1 и RG1 ≠ FF, то содержимое RG1 увеличивается на единицу. Если же RG1 = FF, то 0 передается в RSQ и RTN переходит к выполнению JSR по адресу 32, а содержимое RG1 увеличивается до числа повторений (FF).

В повторяющейся команде (рис. 5.9, в), как и в повторяющейся подпрограмме, выполняется команда RSR, в RG1 загружается 1111100, устанавливается RSQ = 1 и число циклов команды равным четырем. Затем выполняется команда RPI. При выполнении первых трех циклов повторения содержимое RG1 увеличивается на 1. В течение последнего цикла триггер RSQ устанавливается в исходное состояние, и RG0 переходит в следующий адрес 32, который продолжает программу.

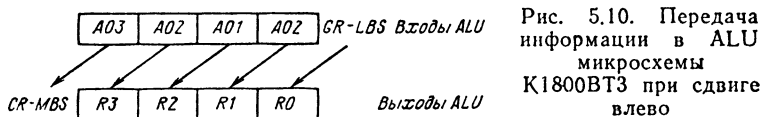
При 8-разрядном адресе слова максимальное число повторений как подпрограмм, так и команд равно 256. Программирование арифметических и логических операций, а также выполнение сдвига рассмотрим на примере программирования работы БИС K1800BT3. Выполнение операций сложения и вычитания (ADD, SUB) описывается уравнениями:

$$\begin{aligned} \text{ADD} &: (\text{AO}) + (\text{BO}) \cdot \text{P} + \text{CR} - \text{LBS}; \\ \text{SUB} &: (\text{AO}) + \overline{(\text{BO})} \cdot \text{P} + \text{CR} - \text{LBS}. \end{aligned}$$

Операции сложения и вычитания выполняют операцию И с операндом BO и информацией на шине P. Используется предварительное поразрядное маскирование операнда: Ускоренный перенос возможен, когда CO8 = 1 в младшей БИС K1800BT3. В старшей БИС может быть CO8 = 0 для обеспечения переполнения в операции Дополнение до 2 без подключения схемы ускоренного переноса.

При операции сдвига влево (ASL, LSL) происходит сложение выбранного операнда с самим собой. Для ASL (CO8 = 0) признак переполнения вырабатывается при изменении состояния в знаковом разряде. Как при сложении, так и при вычитании ускоренный перенос минимизирует задержку распространения сигнала. Процесс передачи информации при сдвиге пояснен диаграммой, приведенной на рис. 5.10.

При арифметическом сдвиге вправо (ASR) во всех БИС К1800ВТЗ, кроме БИС, содержащей самый старший разряд, производится логический сдвиг ( $CO8 = 1$ ). В БИС, содержащей самый старший разряд, сигнал  $CO8$  должен быть равен нулю. При этом знаковый разряд сохраняет свое значение и передается на выход  $CR0$  и на следующий разряд вправо. Операция сдвига вправо может быть пояснена с помощью диаграммы, приведенной на рис. 5.11.



При использовании схемы ускоренного переноса для выполнения операций ASR, LSR ее работа блокируется. На выводе  $CRP-ZD$  вырабатывается признак нуля, а сигнал  $CRG-OF$  удерживается в состоянии лог. 1. Выполнение операций — изменение счетчика программ, изме-

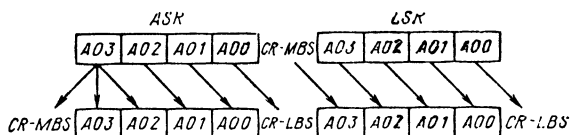


Рис. 5.11. Передача информации в ALU микросхемы К1800ВТЗ при сдвиге вправо

нение указателя и изменение адресного регистра в БИС К1800ВТЗ описывается уравнениями:

$$\begin{aligned} \text{MOD } RG0 &: RG0 + (BO) \cdot P + CR - LBS; \\ \text{MOD POINT} &: AO + P + CR - LBS; \\ \text{MOD } RGA &: RGA + (BO) \cdot P - CR - LBS. \end{aligned}$$

Операции изменения ( $MOD$  — модификация  $RG0 \cdot P$  и  $RGA$ ) выполняются обычно с числами без знака или положительными числами (операнды  $AO$  и  $BO$ ), и признак переполнения в ALU не вырабатывается. Модификация  $RG0$  обеспечивает переход программы. Модификация  $RGA$  обеспечивает простой переход программы без изменения содержимого  $RG0$ . Модификация  $P$  с помощью входов  $P$  увеличивает или уменьшает содержимое  $RG0$  без изменения содержимого других регистров микросхемы. Операции изменения особенно полезны при организации стека. Стек

может непосредственно адресовать память и в то же время преобразоваться в ALU. Информация, хранящаяся в стеке, может быть преобразована, передана в RGA и сохранена в течение нескольких циклов. Выполнение логических операций в ALU БИС К1800ВТЗ описывается уравнениями:

$$\text{AND: } (AO) \cdot (BO) \cdot P;$$

$$\text{OR: } (AO) \vee (BO) \cdot P;$$

$$\text{EOR: } (AO) \oplus (BO) \cdot P;$$

$$\text{BIT MASK: } (AO) \cdot P; \text{ BIT TOGGLE: } (BO) \oplus P.$$

Формирование признаков производится в соответствии с табл. 3.33.

### 5.3. Области применения БИС МПК К1800

Построение современных ЭВМ и устройств цифровой автоматики производится при широком использовании БИС MOS, TTL, ECL и I<sup>2</sup>L, в том числе и микропроцессорных БИС. В зависимости от требований, предъявляемых к аппаратуре, элементная база должна обладать определенными техническими характеристиками. Практика показала, что в пределах одного схемотехнического направления аппаратуры невозможно достигнуть наилучшего сочетания параметров по быстродействию, степени интеграции, потребляемой мощности, помехоустойчивости и функциональным возможностям. Так, например, микросхемы MOS обладают малой потребляемой мощностью, высокой степенью интеграции, но имеют сравнительно низкое быстродействие, а микросхемы I<sup>2</sup>L имеют более высокое быстродействие, но требуют использования генераторов тока для питания схемы с целью снижения потребляемой мощности и из-за низкой помехоустойчивости не содержат в своем составе стандартных серий ИС, обладающих функциональной полнотой.

По указанным причинам логические схемы MOS и I<sup>2</sup>L в универсальных ЭВМ нашли ограниченное применение. Производительные ЭВМ реализованы в основном на микросхемах ECL и TTL, обладающих широкой номенклатурой ЛЭ с высоким быстродействием. Микросхемы TTL обладают рядом преимуществ. Все серии ИС и БИС TTL питаются от одного источника напряжения (5 В) и совместимы по уровням входных и выходных напряжений. Кроме того, микросхемы TTL стандартных серий совместимы функционально и конструктивно, что позволяет в одном устройстве использовать микросхемы различных серий с целью оптимизации технических характеристик аппаратуры. Особенностью микросхем TTL является то, что они могут работать на согласованные линии связи, т. е. не требуют установки согласующих резисторов и, таким образом,



не потребляют (в отличие от микросхем ECL) дополнительной мощности от источника питания. Однако мощность, потребляемая устройствами на микросхемах TTL, зависит от нагрузочной емкости, частоты переключения и числа одновременно переключаемых схем в рабочем режиме, а в устройствах на микросхемах ECL мощность не зависит от этих факторов. Микросхемы ECL имеют самое высокое быстродействие, но потребляют значительную мощность.

Снижение потребляемой мощности одним эквивалентным ЛЭ до 4,4 мВт в микросхемах серии K1800 (вместо 25 мВт в ИС и СИС) значительно упрощает проблемы, связанные с потреблением энергии и отводом тепла. Наличие широкой номенклатуры микросхем ECL серии K500, накопленный богатый опыт по их применению и полная совместимость по электрическим параметрам и условиям эксплуатации с секционированными МП БИС серии K1800 создают благоприятные условия для реализации аппаратуры с широкими функциональными возможностями и высокой производительностью. Кроме того, в составе серии K1800 имеется БИС двунаправленного преобразователя уровней ECL—TTL (K1800BA4), что обеспечивает совместную работу устройств на микросхемах ECL и TTL, а также стыковку с памятью MOS. При этом следует отметить, что БИС серии K1800 имеют вертикально расположенные выводы корпусов, как и большинство микросхем ECL и TTL, что значительно упрощает конструктивное исполнение устройств.

Большинство выпускаемых в настоящее время секционированных МП БИС применяется пока в мини-ЭВМ и контроллерах внешних устройств. Применение даже самых быстродействующих МП БИС не дает значительного уменьшения времени выполнения любой команды ЭВМ. Однако быстродействующий МПК БИС серии K1800 благодаря ряду достоинств позволяет реализовать не только сверхбыстродействующие контроллеры и мини-ЭВМ, но в совокупности с микросхемами серии K500 составляют достаточно эффективный набор микросхем для построения процессоров универсальных ЭВМ малого и среднего классов [15, 20].

Применение БИС МПК K1800 для построения ЭВМ в значительной степени определяет систему команд и логическую структуру процессора, которые можно распределить на четыре группы. Во-первых, двунаправленные шины большинства БИС МПК, а также наличие в нем БИС двунаправленного магистрального приемопередатчика (K1800BA7) позволяют организовать магистральную связь между отдельными устройствами процессора. Применение магистралей приводит к значительной экономии оборудования, так как отпадает необходимость в коммутаторах информационных потоков на входах блоков процессора, контроллера основной памяти и блока выборки команд.

Во-вторых, вместо принятой 2-уровневой организации памяти, используемой в большинстве современных ЭВМ и включающей основную и буферную память, применяется 3-уровневая организация, т. е. между процессором и буферной памятью вводится сверхбыстрая буферная память, реализованная на БИС двухадресной памяти (K1800RP6). Это позволяет значительно увеличить пропускную способность подсистемы памяти, а следовательно, и быстродействие процессора.

В-третьих, применение МП БИС делает экономически целесообразным организацию полноразрядных (8 байтов) магистралей, регистров, локальной памяти, устройств обработки, а также увеличение числа этих устройств, специализированных на выполнение

отдельных операций. Например, в таких ЭВМ, кроме основного 8-байтного ALU (на БИС К1800ВС1), может быть предусмотрен 8-байтовый сдвигатель (на БИС К1800ВР8) и однобайтовое ALU (на БИС К1800ВТ3). Это позволяет при незначительном увеличении объема оборудования ускорить обработку данных с плавающей запятой, десятичных данных и данных переменной длины и часто обрабатывать их с такой же скоростью, как и данные с фиксированной запятой. При обработке же данных одинарной длины (4 байта) они могут передаваться на обе половины 8-байтного ALU, а результаты обработки будут сравниваться, что увеличит достоверность обработки.

В-четвертых, наличие в комплекте такого мощного по функциональным возможностям прибора, как устройство управления памятью (К1800ВТ3), позволяет реализовать основной блок выборки команды — устройство обработки адресов и организовать поточную обработку команд. Поточная обработка на двух уровнях, при которой совмещаются выполнение текущей команды и выборка следующей, незначительно увеличивает объем аппаратуры, но повышает быстродействие процессора примерно на 30 %.

В целом, по мнению разработчиков ЕС ЭВМ [5, 15, 20], применение БИС МПК К1800 позволит эффективно реализовать ЭВМ с такими структурными решениями, которые раньше применялись только в крупных ЭВМ. Предварительная оценка показывает, что быстродействие процессора с предлагаемыми структурными решениями достигнет 1 млн. команд/с при объеме оборудования в 3 ... 5 раз меньше, чем у аналогичных ЭВМ, построенных на ИС серии К500. БИС МПК К1800 позволит реализовать примерно 40% логических схем процессора данных ЭВМ. Ожидается, что это увеличит надежность процессора на 20 %, уменьшит потребляемую мощность на 15 % и габариты на 40 %.

Широкое применение БИС МПК К1800 сможет найти для построения быстродействующих специализированных процессоров:

для измерительных устройств времяпролетных масс-спектрометров позволит проводить измерение, обработку и запоминание информации с частотой 100 МГц и выше, выполнить накопление и исправление ошибок спектров, поступающих в систему автоматизации в реальном масштабе времени;

для обработки изображения, поступающего с датчика волнового фронта лазерного пучка и выдачи управляющего воздействия на элементы адаптивного зеркала, для чего понадобится реализация алгоритма, включающего операции с матрицами, быстрое преобразование Фурье, цифровую свертку и цифровую фильтрацию;

для обработки цифровой информации, поступающей в ходе проведения различных физических экспериментов;

для обработки цифровых сигналов в устройствах цифровой оптимальной обработки и фильтрации, коммутации и уплотнения телеграфной информации, где тактовая частота достигает 30 МГц и только на БИС МПК К1800 можно реализовать такую аппаратуру.

Кроме определенных в настоящее время областей применения БИС МПК К1800 могут быть и другие области применения, где главным требованием является высокое быстродействие отдельных блоков и устройств, например для построения диагностического оборудования. Так как новое поколение средств вычислительной техники развивается на базе широкого применения БИС и СБИС, что требует непрерывного развития методов и быстродействующих средств контроля как самих БИС, так и устройств, построенных на их основе.

Перспективно использование МПК БИС К1800 в системах передачи данных, таких как распределенная обработка, автоматизация обработки документации и создание систем коллективного пользо-

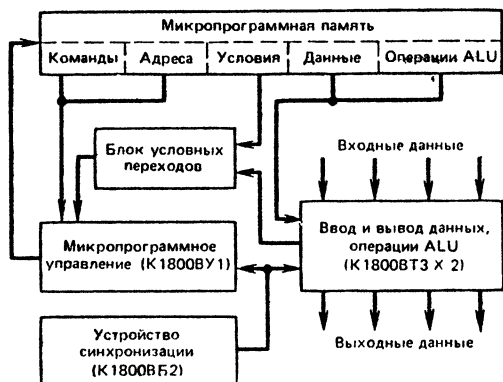


Рис. 5.12. Структурная схема быстродействующего процессора, реализованного на микросхемах серии К1800 и К500

вания. Однако при развитии данных систем все более актуальной становится проблема достоверности передачи информации. Для обеспечения достоверности передачи информации применяются различные системы кодовой защиты данных, эффективность и целесообразность применения которых зависят от используемых кодов и реализуемых при этом корректирующих устройств, сложности шифраторов и дешифраторов, а также от характера ошибок в канале. Например, при построении оптоэлектронных мультиплексорных систем, сбора, обработки, передачи и распределения информации со скоростью передачи 6М бит/с и более необходимо создать высокоскоростные контроллеры на базе МПК, обеспечивающих обработку информации со скоростью операций типа регистр-регистр не более 60 нс.

Важной областью применения БИС МПК К1800 должна стать измерительная техника, в частности цифровые осциллографы и анализаторы, автоматические тестеры, измерители комплексных величин, которые требуют высокого быстродействия.

Рассмотрим более подробно структурную схему (рис. 5.12) и основные характеристики быстродействующего процессора, реализованного на БИС МПК К1800. Система команд

процессора выбирается разработчиком применительно к устройству, в котором процессор будет использован. Команды записываются в микропрограммную память, которая управляет работой процессора. Это может быть ППЗУ, в частности микросхемы типа К500РЕ149. Для выполнения арифметическо-логических операций в процессоре применена БИС К1800ВТЗ, имеющая блок регистров, который отсутствует в К1800ВС1. Два БИС К1800ВТЗ управляют также 16-разрядными шинами ввода и вывода данных. Одна микросхема К1800ВУ1 осуществляет микропрограммное управление и адресацию. Программа хранится в микропрограммной памяти. Синхронизацию, запуск и профилактику процессора обеспечивает БИС К1800ВБ2. Для реализации условных переходов используется несколько микросхем серии К500. Таким образом, на одной печатной плате можно разместить весь процессор.

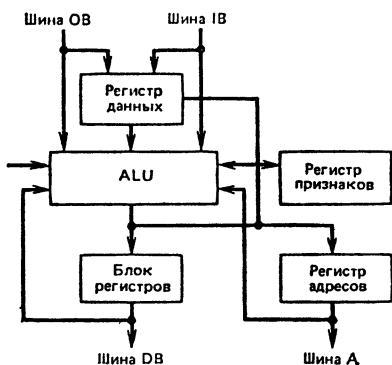


Рис. 5.13. Структурная схема процессора и его блоков при выполнении микрокоманды

Выяснить содержание микрокоманд процессора можно с помощью рис. 5.13. Микрокоманда выполняет все операции, записанные в одном слове микропрограммы. Сигнал синхронизации БИС К1800ВУ1 позволяет выдать на адресную шину начальный адрес управляющей памяти. Затем микропрограммная память устанавливает на входах БИС К1800ВТЗ коды для считывания и обработки данных и вывода результата или его записи в память. Одновременно с работой ALU из памяти микропрограммы и блока условных переходов выдается новый адрес на входы К1800ВУ1. По следующему синхросигналу микропрограмме выдается адрес нового слова управляющей памяти и передается следующая функция ALU в соответствующий регистр хранения. Быстродействие процессора определяется временем выполнения микрокоманды и числом микрокоманд, необходимых для выполнения программы.

Микропрограммирование позволяет выполнять с помощью такого процессора различные операции. Пять программ (сложение, вычитание, Исключающее ИЛИ, умножение и деление) — это только часть программ такого процессора.

Две БИС К1800ВУ1 расширяют адресацию памяти микропрограмм до 4К слов для программирования. Для выполнения перечисленных пяти операций достаточно иметь память емкостью 32 слова по 32 разряда. При необходимости можно увеличить аппаратную часть процессора.

Процессор работает с входными данными в виде одного 16-разрядного слова или двух слов на 8 разрядов каждый. Ответ выдается в виде 16-разрядного слова или двух 8-разрядных слов. Два 8-разрядных операнда считывают программу операций сложения, вычитания и Исключающее ИЛИ и выдает ответ в виде 8-разрядного слова. Остальные младшие разряды устанавливаются в 0. Программа умножения считывает 8-разрядные множимое и множитель и выдает 16-разрядный ответ. Программа деления сначала считывает 16-разрядное делимое, затем 8-разрядный делитель. Результатом деления является 8-разрядное частное и 8-разрядный остаток.

Рассмотрим более подробно взаимодействие отдельных блоков микросхем К1800ВТ3 и К1800ВУ1 при выполнении перечисленных программ в процессоре. Регистр RG3 БИС К1800ВУ1 хранит адрес микропрограммной памяти. Информация поступает в блок выработки следующего адреса, декодируется и затем поступает в регистр RG0. Блок приращения используется для подсчета выполненных команд. Регистр RG1 запоминает число циклов повторения программ. Регистр RG3 хранит код состояния или условный признак. Адрес возврата подпрограммы хранится в стеке регистров (RGS). Изменения в подпрограмме адрес бывшей программы передает в блок приращения для введения его в RGS. Информация на входе следующего адреса (NA) передается в регистр RG0 для выполнения подпрограммы. Выполнение подпрограммы возвращает RGS в состояние, позволяющее принять информацию с RG0. В БИС К1800 ВУ1 заложено 16 команд для выполнения различных операций. В рассматриваемом процессоре используется всего 8 команд из приведенных в табл. 5.3.

Микросхема К1800ВТ3 выполняет операции ALU и операции передачи данных. Она имеет 5 входов для приема и передачи данных и шесть внутренних регистров для их хранения. Регистр RGD используется для хранения входных и выходных данных. Он может работать и как аккумулятор ALU. Регистр RGA хранит данные шины А. Четыре остальных регистра образует блок регистров (RGF) для хранения внутренней информации. Конечный пункт поступления данных это ALU, которое выполняет арифметические, логические и сдвиговые операции. Работа микросхем К1800ВУ1 и К1800ВТ3 управляется сигналами управления, поступающими на входы управления из микропрограммной памяти.

Пути потоков информации в рассматриваемом процессоре видны на рис. 5.13. Шины данных, ALU и рабочие регистры используются для обработки потока информации. Все блоки, показанные на рис. 5.13, за исключением реги-

Таблица 5.3.

## Команды быстродействующего процессора

Команда	Операция
INC	$RG0 + 1 \rightarrow RG0$
JMP	$NA \rightarrow RG0$
JEP	$OB \cdot NA \rightarrow RG0$
RSR	$RG0 + 1 \rightarrow RG0, NA \rightarrow RG1$
JSR	$NA \rightarrow RG0, RG0 + 1 \rightarrow RGS$
JSR (повторение)	$NA \rightarrow RG0, RG0 + 1 \rightarrow RGS$
RTN	$RGS \rightarrow RG0$
RTN (повторение)	$RGS \rightarrow RG0, RG1 + 1 \rightarrow RG1$
BRС	$RG0 + 1 \rightarrow RG0$ (проверка нуля)
	$NA \rightarrow RG0$ (проверка единицы)
BSR	$RG0 + 1 \rightarrow RG0$ (начало)
	$NA \rightarrow RG0$

стра признаков состояния, находятся в БИС К1800ВТ3. Регистр признаков хранит информацию, используемую при выполнении умножения, деления и состояния сдвига. Эту функцию выполняет регистр состояния RG3 БИС К1800ВУ1.

На рис. 5.14 показана блок-схема алгоритма сложения, вычитания и Иключающее ИЛИ. Процессор начинает выполнять программу после поступления стартового сигнала на вход БИС К1800ВБ2. Выполняются начальные операции. Данные из блока регистров выводятся на шину DB, и блок регистров RGF устанавливается в исходное состояние (0), как и разряд

Таблица 5.4

## Операции регистров RGA и RG3

RGA	RG3	Переход
0	0	на 8
0	1	на 6
1	0	на 7
1	1	на 8

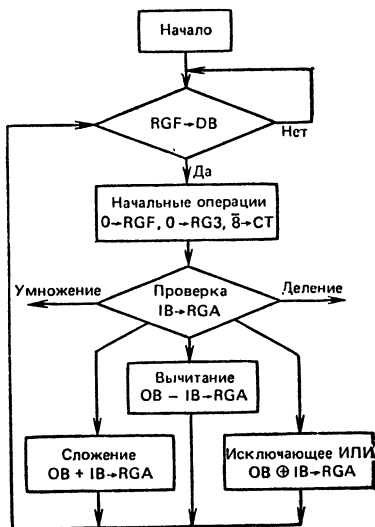


Рис. 5.14. Блок-схема алгоритма операции сложения, вычитания и Иключающее ИЛИ

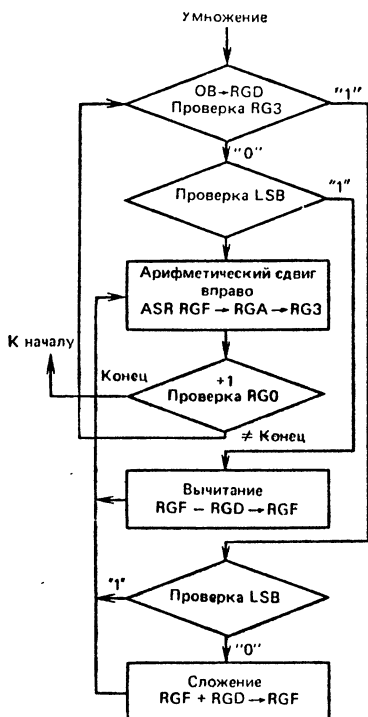


Рис. 5.15. Блок-схема алгоритма операции умножения

1. Загрузка множителя в регистр RGA.
2. Загрузка множимого в регистр RGD.
3. Занесение нулей в блок регистров RGF и регистр состояния RG3.
4. Установка счетчика циклов на 8.
5. Проверка младшего разряда регистра RGA и разряда регистра состояния БИС К1800ВУ1 и выполнение операций в регистрах RGA и RG3 (табл. 5.4).
6. Вычитание содержимого:  $RGF - RGD \rightarrow RGF$ .
7. Сложение содержимого:  $RGF + RGD \rightarrow RGF$ .
8. Выполнение арифметического сдвига вправо:  $RGF \rightarrow RGA \rightarrow RG3$ .
9. Проверка счетчика циклов; установка 5, если не равно 0.
10. Конеч.

На рис. 5.15 приведена блок-схема алгоритма выполнения операций умножения. Выполнение программы начинается по алгоритму, показанному на рис. 5.14; а продолжение программы — с загрузки множимого и выполнения операции сложения со сдвигом, вычитания со сдвигом или толь-

признака регистра RG3. Счетчик циклов программы (регистр RG1 БИС К1800ВУ1) загружается операцией Дополнение до 8. Данные шины IB передаются в регистр RGA. Эти операции являются общими для программы умножения и деления, для выполнения которых микрокоманды не используются. Выполнение программы продолжается до момента принятия решения и выбора одного из пяти возможных дальнейших действий по программам. ALU перебирает входы шин OB и IB, выполняет необходимую операцию и передает результат в RGA. Программа возвращается в исходное состояние и выдает ответ.

-Операция умножения выполняется по алгоритму Бутта:

1. Загрузка множителя в регистр RGA.

ко сдвига для выполнения умножения с дополнением до 2. Как показано на рис. 5.15, процессор проверяет разряд регистра состояния и младший разряд регистра адреса для выбора пути продолжения программы. Счетчик циклов в программе получает приращение после сдвига вправо. Программа заканчивается после 8 циклов. Ответ в виде 16-разрядного слова размещается в двух регистрах (8 младших разрядов находятся в RGA и 8 старших — в RGE).

Блок-схема алгоритма выполнения деления показана на рис. 5.16. Выполнение программы деления начинается по алгоритму, показанному на рис. 5.14, а продолжение происходит согласно рис. 5.16. Программа деления может выдать и некорректный результат. В таком случае необходимо выполнить корректировку формата, как показано на рис. 5.17.

Анализ приведенных программ позволяет выделить их основные части. Это начало, выбор программы, сдвиг вправо разрядов, проверка LSB в RGA, счет циклов, проверка MSB в RGF, выполнение операции Исключающее ИЛИ (результат появляется на выходе CRI (RGD)), проверка установки нуля. Полная структурная схема процессора, выполняющего названные операции по описанным алгоритмам, приведена на рис. 5.18. Сигнал запуска поступает на БИС K1800B2, сигнал выбора программы — на K1800B1 (шина OB), счет циклов выполняет K1800B1. Сигналы проверки установки нуля (ZD), младшего разряда (LSB), переноса (CR) и сдвига вправо (SR) и влево (SL) через логические схемы также поступают на K1800B1. Признак сдвига вправо хранится в разряде 1 регистра RG3. Регистр RG3 хранит также три разряда состояния программы. Разряд 0 является адресом страницы памяти общей программы (см. рис. 5.14). Разряд 2 выполняет функцию сдвига влево. Поля микропрограммы памяти, показанные на рис. 5.18, связаны с прохождением информации в процессоре (см. рис. 5.13).

Отдельные разряды памяти управляют проверкой программы, признаками сдвига, входом переноса и входами указателя (P) БИС K1800B3. Программа выполнения операций, показанных на рис. 5.14 ... 5.17, представлена в табл. 5.5. Она описывает каждый шаг программы. В первой графе указаны выполняемые операции, описанные в § 3.2 и 3.4: READ — чтение, SR — сброс, TEST — проверка, PROG TEST — проверка программы, MULT — умножение, DIVIDE — деление, SL, SP — сдвиг влево, вправо, ZERO — проверка нуля, DEC — уменьшение на 1, END — конец.

Если условный переход отсутствует, BRC выполняет переход по коду NA, а также обеспечивает условный переход при выполнении начальной команды в БИС K1800B1.



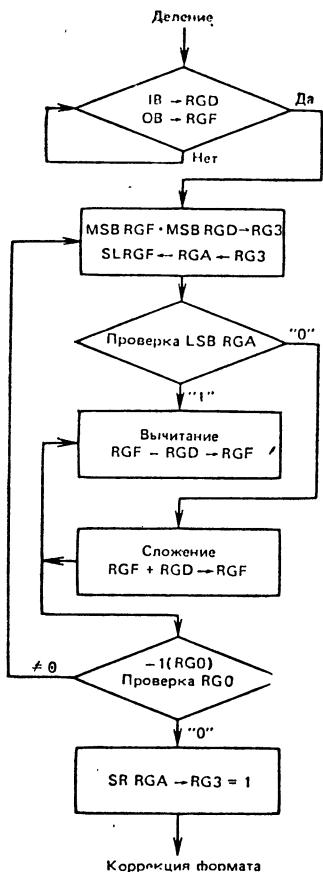


Рис. 5.16. Блок-схема алгоритма операции деления

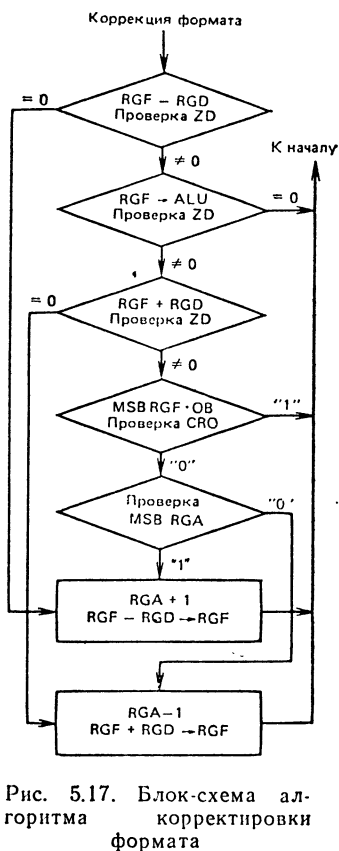


Рис. 5.17. Блок-схема алгоритма корректировки формата

Графа следующий адрес (NA) в табл. 5.5 — это назначение перехода. Поле NA в памяти составляет 16 слов по 4 разряда в одной странице. Адресация страницы указана в графе RG3. В разряде RG30 регистра RG3 хранится адрес страницы памяти. В регистре хранятся также признаки состояния. Регистр RG3 загружается параллельно данными из шины IB, так как разряд RG30 соединен параллельно с IB0. Программа умножения требует проверки значения разряда условных признаков для определения направления движения программы. Проверка осуществляется соединением разряда 1 регистра RG3 с шиной  $\bar{E}X$  и выбором на-

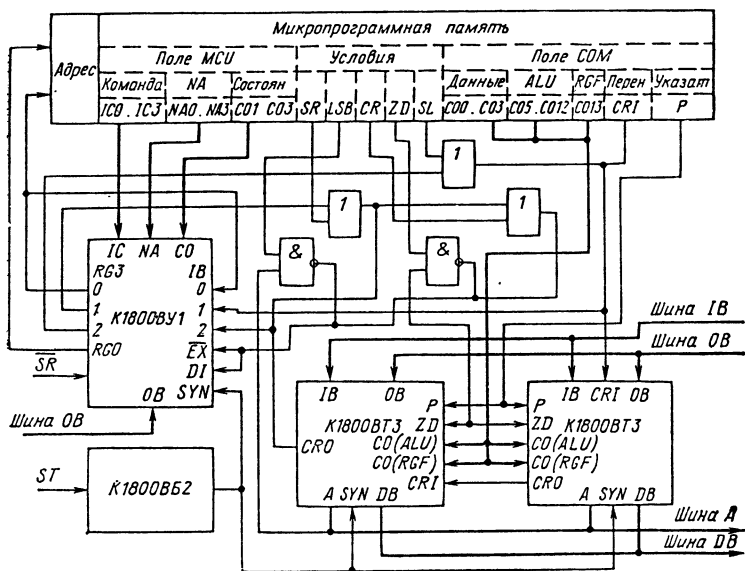


Рис. 5.18. Распределение микропрограммной памяти и ее связь с устройствами процессора

правления на команде BRC. Последние две команды (см. табл. 5.5) управляют адресом страницы.

Для выполнения условных переходов между страницами памяти разряд RG30 загружается с входа DI, соединенного с EX. Разряд RG30 может быть также выборочно установлен для выполнения безусловных переходов, как показано в табл. 5.5. Оставшиеся поля программы относительно простые: вывод EX может быть выборочно запрограммирован на определение установки нуля, LSB или CRO. Эти поля используются совместно с командой BRC для принятия решения по программе. Поле сдвига поддерживает в RG31 значение разряда состояния для выполнения переноса в БИС К1800BT3. При выполнении других арифметических операций поле не используется. Поле сдвига выполняет аналогичную функцию для сдвига влево разряда состояния. Поле данных выбирает четыре различные функции передачи данных в БИС К1800BT3. Операция FDB передает информацию из RGF на шину DB для получения ответа. Операции ODR и IDR считывают информацию на входах процессора и передают ее в накопитель. Операция ADR на-

Таблица 5.5

## Программа выполнения

Операция	Адрес	Команда	NA	RG3	$\overline{EX}$
READ	0	BSR	0	—	—
SR RGF, RG30	1	RSR	8	IB→RG30	—
PROG TEST	2	JEP	F	—	—
MULT P	3	JSR	5	—	—
END	4	JMP	0	$\overline{RG31} \rightarrow \overline{EX}(L)$	—
TEST RG3	5	BRC	A	—	—
TEST LBS	6	BRC	9	IB→RG30	$\overline{LSB} \rightarrow \overline{EX}$
SR MSB	7	INC	—	IB→RG30	—
SR LSB	8	RTN	—	—	—
SUB	9	JMP	7	—	—
TEST LSB	A	BRC	7	—	$\overline{LSB} \rightarrow \overline{EX}$
ADD	B	JMP	7	—	—
ADDP	C	JMP	0	—	—
SUB P	D	JMP	0	—	—
EORP	E	JMP	0	—	—
DIVIDE P	F	BSR	F	DI· $\overline{EX}$ →RG30	—
$\overline{RGD} \cdot \overline{RGD}$	10	JSR	2	—	—
SL RGA←1	11	JMP	7	—	—
SET RG3	12	INC	—	IB→RG30(0)	—
SL RGA	13	INC	—	IB→RG30	—
SL RGF	14	BRC	6	—	$\overline{LSB} \rightarrow \overline{EX}$
ADD	15	RTN	—	—	—
SUB	16	RTN	—	—	—
SUB TEST	17	BRC	C	—	$\overline{ZD} \rightarrow \overline{EX}$
ZERO TEST	18	BRC	0	DI· $\overline{EX}$ →RG30	$\overline{ZD} \rightarrow \overline{EX}$
ADD TEST	19	BRC	E	—	$\overline{ZD} \rightarrow \overline{EX}$
⊕ MSB TEST	1A	BRC	0	DI· $\overline{EX}$ →RG30	CRO→ $\overline{EX}$
MSB TEST	1B	BRC	E	—	CRO→ $\overline{EX}$
INC	1C	INC	—	—	—
SUB	1D	JMP	0	DI→RG30 $\overline{RG30} \rightarrow \overline{EX}$	—
DEC	1E	INC	—	—	—
ADD	1F	JMP	0	DI→RG30 $\overline{RG30} \rightarrow \overline{EX}$	—

операций в процессоре

Сдвиг	Данные	Операции ALU	RGF	CRI	P
—	RGF→DB(FDB)	—	0	—	—
—	IB→RGD(IDR)	RGF·P→RGF	0	0	0
—	—	RGD·P→RGA	0	—	1
—	OB→RGD(ODR)	—	0	—	—
—	—	—	0	—	—
—	—	—	0	—	—
—	—	—	0	—	—
—	—	ASR RGF→RGF	0	1	—
SR	—	LSR RGA→RGA	0	1	—
—	—	SUB RGF—RGD·P→RGF	0	1	1
—	—	—	0	—	—
—	—	RGF+RCD·P→RGF	0	0	1
—	—	OB+IB·P→RGA	0	0	1
—	—	OB—IB·P→RGA	0	1	1
—	—	OB⊕IB·P→RGA	0	—	1
—	IB→RGD (IDR)	OB·P→RGF	0	—	1
—	ALU→RGD(ADR)	RGD⊕P	0	—	1
—	—	SL RGA→RGA	0	1	—
—	ALU→RGD(ADR)	RGF⊕RGD·P	0	—	1
SL	—	SL RGD→RGD	0	1	—
SL	IB→RGD(ADR)	SL RGF→RGF	0	1	—
—	—	ADD RGF+RGD·P→RGF	0	0	1
—	—	SUB RGF—RGD·P→RGF	0	1	1
—	ALU→RGD(ADR)	SUB RGF—RGD·P→	0	1	1
—	IB→RGD(IDR)	RGF·P→RGF	0	—	1
—	ALU→RGD(ADR)	ADD RGF+RGD·P→	0	0	1
—	ALU→RGD(ADR)	RGF⊕OB·P→	0	—	1
—	—	RGA·P→RGA	0	—	1
—	IB→RGD(IDR)	ADD RGA+P→RGA	0	1	0
—	—	SUB RGF—RGD·P→RGF	0	1	1
—	IB→RGD(IDR)	ADD RGA+P→RGA	0	0	1
—	—	ADD RGF+RGD·P→RGF	0	0	1

правляет информацию с выходов ALU в RGD. Эта операция используется для модификации содержимого RGD или для хранения информации в RGF либо RGD.

ALU микросхемы К1800ВТЗ выбирает операнды из регистров RGF, RGA, RGD и шин ОВ, ИВ и Р. Логические элементы И, Исключающее ИЛИ и арифметические (сложение и вычитание) объединяются с входами шины Р для выполнения специальных операций проверки:  $ALU = 0$ , инверсия RGD, уменьшение RGA. Пять различных операций сдвига выполняется с содержимым ALU, RGЗ, полем сдвига и CR1:

ASR RGF  $\rightarrow$  RGF, LSR RGA  $\rightarrow$  RGA,

SL RGA  $\rightarrow$  RGA, SL RGF  $\rightarrow$  RGF.

Операция ИВ  $\rightarrow$  RGЗ в БИС К1800ВУ1 подключает выход сдвига к разряду регистра состояния. Поле сдвига передается этот разряд на вход сдвига.

В рассмотренном здесь процессоре время выполнения микрокоманды составляет 100 нс, а время умножения и деления не превышает 5,5 мкс. Использование регистра микрокоманд может увеличить производительность такого процессора.

Секционированные МП БИС серии К1800 могут быть использованы в цифровой аппаратуре и заменить микросхемы малой и средней степени интеграции, например микросхемы серии К500. Такая замена оправдана экономически. В табл. 5.6 приведены данные для сравнения результатов замены. Такая замена значительно уменьшает не только габариты и массу аппаратуры, но и улучшает ее технические характеристики. Мощность, потребляемая одним ЛЭ, уменьшается при этом в 3 ... 5 раз, быстродействие увеличивается в 2 ... 3 раза, надежность — более чем на порядок. При замене микросхем серии К500 не обязательно использовать все БИС комплек-

Таблица 5.6

Количественный выигрыш при замене ИС серии К500  
одной БИС серии К1800

Тип микросхемы	Заменяемые микросхемы К500			Тип микросхемы	Заменяемые микросхемы К500		
	Число корпусов	Число типов	Число ЛЭ		Число корпусов	Число типов	Число ЛЭ
К1800ВС1	50	12	342	К1800ВА4	10	5	107
К1800ВУ1	97	5	519	К1800РП6	285	4	739
К1800ВБ2	21	4	101	К1800ВА7	8	3	82
К1800ВТЗ	79	11	614	К1800ВР8	72	4	299

та. Микросхемы любого типа МПК серии К1800 могут работать совместно с микросхемами малой степени интеграции. Примером схемы такой замены является микропроцессор каналов ввода—вывода [5]. Структурная схема универсального канала состоит из ПЗУ, выполненного на четырех микросхемах К500РЕ149, блока микропрограммного управления на трех БИС К1800ВУ1, 16-разрядного АЛУ на четырех БИС К1800ВТ3, блока регистров на двух БИС К1800РП6 и синхронизатора на БИС К1800ВБ2. Линии связи выполнены на БИС К1800ВА4. Остальные блоки построены на микросхемах серии К500. Цикл работы такого микропроцессора переменный и составляет от 56 до 224 нс. Период следования синхросигналов составляет 28 нс. Суммарная пропускная способность каналов достигает 5М байт/с. Использование микросхем серии К1800 вместо микросхем серии К500 позволило в 1,5 раза уменьшить объем оборудования и унифицировать схему самого канала.

#### 5.4. Расчет быстродействия устройств, реализованных на БИС МПК К1800

Скорость обработки информации в аппаратуре зависит от ее элементной базы и структурной схемы. В МПК БИС серии К1800 использованы технические решения, обеспечивающие самые высокие скоростные характеристики рабо-

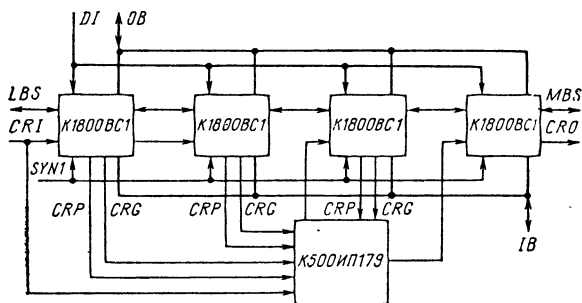


Рис. 5.19. Структурная схема АЛУ, реализованного на микросхемах К1800BC1 и К500ИП179

ты блоков цифровой техники. В данном разделе приводятся примеры расчета и оценки быстродействия некоторых устройств, реализованных на микросхемах серии К1800 и К500. В качестве исходных данных для расчета приняты средние значения времени задержки в определенных цепях прохождения информации для микросхем каждого типа. Реальное быстродействие устройства зависит от конкретных параметров использованных микросхем и времени задержки в соединительных проводниках.

На рис. 5.19 показана структурная схема 16-разрядного АЛУ, состоящего из четырех БИС К1800BC1 и одной ИС

К500ИП179, для выполнения переноса. Время выполнения операции сложения и вычитания в данном ALU складывается из времени передачи данных шины DI или OB на выходы CRP или CRG (18,0 нс), времени передачи сигналов CRP или CRG на выход CRO (К500ИП179) (4,0 нс) и времени переноса CRI на выход шины IB (19,0 нс).

Общее время выполнения операции сложения или вычитания составляет 41,0 нс. Это время измеряется с момента появления данных на входах до получения ответа на шине IB. Если результат расчета передается во внутренний накопитель ALU, общее время остается таким же.

Если операция сложения или вычитания осуществляется со сдвигом, время ее выполнения увеличивается и складывается из времени: передачи данных шины DI или OB на выход CRP или CRG (18,0 нс), передачи сигнала переноса CRP или CRG на CRO (К500ИП179) (4,0 нс), передачи сигнала CRI на LBS или MBS (15,5 нс) и передачи LBS или MBS на шину IB (8,0 нс). Общее время в этом случае составляет 45,5 нс.

Если в качестве одного из операндов используются данные накопителя БИС К1800ВС1, время выполнения операции возрастает на время выборки данных из накопителя через мультиплексор шины DI и складывается из времени: передачи сигнала SYN1 на выход CRP или CRG (35,0 нс), передачи сигнала CRP или CRG на CRO (К500ИП179) (4,0 нс), передачи сигнала CRI на LBS или MBS (15,5 нс) и передачи сигнала LBS или MBS на шину IB (8,0 нс).

Протяженность цепи прохождения сигналов возросла, и общее время операции составляет 62,5 нс.

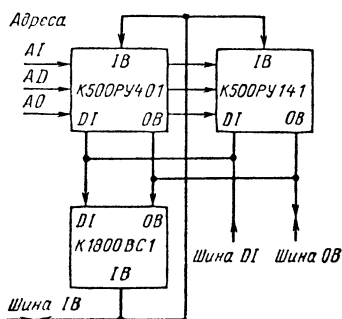


Рис. 5.20. Структурная схема ALU и блока регистров, реализованных на микросхемах К1800ВС1 и К500PY401

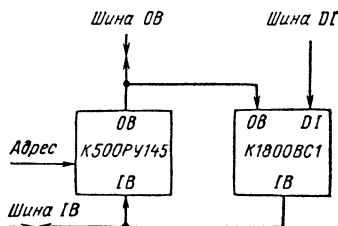


Рис. 5.21. Структурная схема ALU и памяти, реализованных на микросхемах К1800ВС1 и К500PY145

На рис. 5.20 приведена структурная схема блока регистров и ALU. Один или оба операнда выбираются из блока регистров. Время выполнения операции сложения двух операндов, выбранных из регистров, и возвращения результата вычисления складывается из времени выбора данных из блока регистров и передача на шину DI или OB (10,0 нс), времени выполнения операции в 16-разрядном ALU (45,5 нс) и времени установки регистра (2,0 нс). Общее время выборки операндов до получения результата (регистр—регистр) составляет 57,5 нс.

В качестве регистров памяти большой емкости могут быть использованы микросхемы К500РУ145. На рис. 5.21 показаны схемы памяти, реализованные на микросхемах К1800ВС1

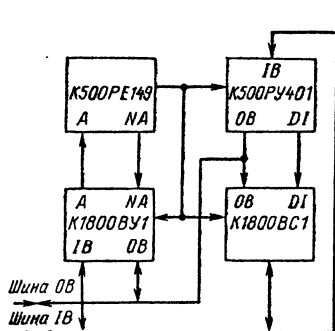


Рис. 5.22. Структурная схема микропрограммируемого устройства, реализованного на микросхемах К1800ВС1, К1800ВУ1 и К500РУ145, К500РУ401, К500РЕ149

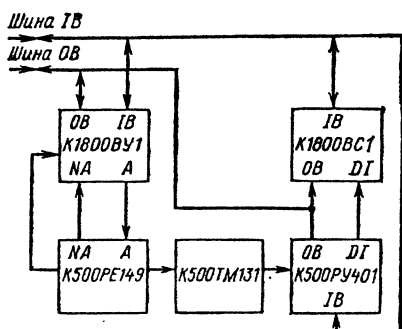


Рис. 5.23. Структурная схема устройства с регистром микрокоманд, реализованного на микросхемах К1800ВС1, К1800ВУ1 и К500РЕ149, К500ТМ131, К500РУ401

и К500РУ145. Время выполнения операций определяется с учетом задержек, исключающих возможное состояние сигналов при чтении данных и записи результатов, и складывается из времени выбора данных из регистра на шину OB (10,0 нс), времени выполнения операции в 16-разрядном ALU (45,5 нс) и длительности импульса записи или времени установки адресной цепи (7,5 нс). Общее время чтения—запись составляет 62,0 нс.

Согласование времен микропрограммной управляющей памяти — это другой фактор, определяющий скорость работы микропрограммируемого устройства. Управляющая память получается в случае ее реализации на микросхеме К500РЕ149 (рис. 5.22). Следующий адрес микропрограммной



управляющей памяти вырабатывается в БИС К1800ВУ1 параллельно с выполнением операции ALU и блоком регистров, что увеличивает быстродействие микропрограммируемого устройства. МПК БИС серии К1800 разработан с таким расчетом, чтобы время выполнения каждой операции было согласовано с требованием быстродействия всего устройства. Микросхема микропрограммного управления К1800ВУ1 может быть подключена непосредственно к блоку регистров или к ALU (рис. 5.22). При таком включении БИС К1800ВУ1 работает последовательно с БИС К1800ВС1, время выполнения операции увеличивается и складывается из времени определения адреса (10,0 нс), обращения к памяти (20,0 нс) и времени операции в ALU и блоке регистров (57,5 нс). Общее время составляет 87,5 нс.

С целью улучшения характеристик устройства на выходе управляющей памяти может быть помещен регистр (рис. 5.23), называемый *регистром микрокоманд*. Он позволяет исключить из общего времени выполнения микрокоманды время обращения к управляющей памяти за счет выработки адреса микрокоманды во время выполнения операций с данными предыдущей микрокоманды, т. е. позволяет выполнять *поточную обработку данных*. Содержание слова управляющей памяти хранится в регистре микрокоманд до выбора данных по следующему адресу.

Быстродействие устройства с применением поточной обработки для случая, когда в качестве регистра микрокоманд используется регистр на микросхемах К500ТМ131, складывается из времени выбора данных из регистра (4,5 нс) и времени выполнения операции в ALU и блоке регистров (57,5 нс). Общее время выполнения этих операций составляет 62,0 нс.

При сравнении времени выполнения микрокоманд устройствами, реализованными на различной схемотехнической базе, всегда используют структуру с регистром микрокоманд. При разработке устройств с высоким быстродействием использование МПК БИС серии К1800 всегда предпочтительнее, чем МПК БИС других серий или микросхем малой интеграции, благодаря малости временных задержек БИС и совершенной структурной реализации.

### Список литературы

1. **Микропроцессорные комплекты интегральных схем.** Состав и структура: Справочник/ Под ред. А. А. Васенкова, В. А. Шахнова. — М.: Радио и связь, 1982. — 192 с.
2. **Клингман Э.** Проектирование микропроцессорных систем: Пер. с англ./Под ред. С. Д. Пашкеева. — М.: Мир, 1980. — 575 с.

3. **Хассон С.** Микропрограммное управление: Пер. с англ./Под ред. В. К. Левина. — М.: Мир, 1973. — вып. 1, 240 с., вып. 2, 447 с.
4. **Мик Дж., Брик Дж.** Проектирование микропроцессорных устройств с разрядно-модульной организацией: Пер. с англ./Под ред. В. И. Гуревича, В. М. Кисельникова, С. А. Кузнецова. — М.: Мир, 1984. — Кн. 1, 253 с.
5. **Дешиц Е. Ф.** Использование микропроцессорного комплекта для реализации каналов ввода—вывода. — Электронная промышленность, 1983, № 9, с. 29, 30.
6. **Алексенко А. Г., Шагурин И. И.** Микросхемотехника/Под ред. И. П. Степаненко. — М.: Радио и связь, 1982. — 416 с.
7. **Седаускас С. Ю.** Схемотехнические и конструктивно-технологические особенности быстродействующих микропроцессорных БИС. — Электронная промышленность, 1983, № 9, с. 17—22.
8. **Быстродействующие БИС на переключателях тока**/В. Г. Немудров, В. И. Лебедев, В. М. Гладков, Ю. П. Иванов.— М.: Радио и связь, 1982. — 160 с.
9. **Файзулаев Б. Н.** Проблема быстродействия элементной базы ЭВМ. — Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова и Я. А. Федотова. — М.: Сов. радио, 1981, вып. 6, с. 3—24.
10. **Соломон П. М.** Сравнение полупроводниковых приборов для скоростных логических схем. — ТИИЭР, 1982, т. 70, № 5, с. 88—112.
11. Пат. 4091321 (США). Low voltage reference/J. E. Hanus.
12. **Седаускас С. Ю.** Стабилизация выходных уровней напряжения и порога переключения БИС на переключателях тока. — Научные труды вузов Лит. ССР. Сер. Радиоэлектроника, 1984, т. 20, № 3, с. 126—132.
13. А. с. 957186 (СССР). Стабилизатор постоянного тока/Ю. П. Иванов, И. И. Шагурин, С. Ю. Седаускас.
14. **Блад В. Р.** Семейство ЭСЛ процессорных секций с высокой плотностью элементов. — Электроника, 1979, № 3, с. 23—24.
15. **Волф Ч. Ф.** Применение микропроцессорных секций для построения крупных компьютеров. — Электроника, 1980, № 5, с. 34—43.
16. **Абрайтис В.-Б. Б., Лебедева С. И., Кеняусис А. М., Пятраускас А.-В. В., Седаускас С. Ю.** Микропроцессорный комплект БИС серии К1800. — Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова и Я. А. Федотова. — М.: Радио и связь, 1984, вып. 8, с. 215—230.
17. **Лебедева С. И., Пятраускас А.-В. В.** Микросхема синхронизации. — Электронная промышленность, 1983, № 4, с. 19.
18. **Абрайтис В.-Б. Б., Седаускас С. Ю., Беляускас В. Б.** Быстродействующие АЛУ К1800ВС1. — Электронная промышленность, 1983, № 9, с. 42—53.
19. **Лебедева С. И., Пятраускас А.-В. В.** Организация регистровой памяти в микропроцессорных секциях. — Радиотехника, 1983, № 8, с. 66—68.
20. **Пржиялковский В. В.** Состояние и перспективы дальнейшего развития ЕС ЭВМ. — Вопросы радиоэлектроники. Сер. ЭВТ. вып. 5, 1981, с. 3—9.

**Цена 50 к.**